

日本国特許庁
JAPAN PATENT OFFICE

#3

Q L

4-17-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月18日

出願番号

Application Number:

特願2001-010787

出願人

Applicant(s):

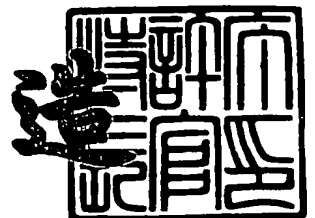
株式会社日立製作所



2001年 9月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3088544

【書類名】 特許願

【整理番号】 H00012661

【提出日】 平成13年 1月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
G11C 11/34

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 中井 潔

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 岩井 秀俊

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2001-010787

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 (a) 複数の第 1 メモリセルと、この複数のメモリセルが接続され、第 1 の層に形成される第 1 データ線とを含む第 1 メモリアレイ領域と、

(b) 複数の第 2 メモリセルと、この複数の第 2 のメモリセルが接続され、前記第 1 の層に形成される第 2 データ線とを含む第 2 メモリアレイ領域と、

(c) センスアンプ回路を含むセンスアンプ領域と、

(d) 前記第 1 メモリアレイ領域と前記センスアンプ領域との間の第 1 接続領域と、

(e) 前記第 2 メモリアレイ領域と前記センスアンプ領域との間の第 2 接続領域と、を含む半導体集積回路装置であって、

前記半導体集積回路装置は、

(f) 前記第 1 の層と異なる第 2 の層に形成され、前記第 1 接続領域で前記第 1 データ線と接続される第 1 配線と、

(g) 前記第 2 の層に形成され、前記第 2 接続領域で前記第 2 データ線と接続される第 2 配線とを含み、

前記センスアンプは、

(h) 前記第 1 配線及び前記第 2 配線に接続され、前記第 1 配線と前記第 2 配線との電位差を増幅することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 メモリアレイ領域、前記第 1 接続領域、前記センスアンプ領域、前記第 2 接続領域および前記第 2 メモリアレイ領域は、この順番で、前記第 1 および第 2 のデータ線が延在する方向に並んで配置されることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記第 1 メモリアレイ領域、前記第 1 接続領域、前記センスアンプ領域、前記第 2 接続領域および前記第 2 メモリアレイ領域のそれぞれは、略四角形の領域であり、

前記半導体集積回路装置は、

前記第 1 メモリアレイ領域と前記第 1 接続領域との間に配置されるスイッチ形

成領域を更に含み、

前記スイッチ形成領域は、データ伝送線（I O）と、前記第 1 データ線と前記データ伝送線との間に接続された信号伝送経路を有するスイッチ回路を有し、

前記データ伝送線は、前記第 2 の層に形成され、前記第 1 データ線と交差する方向に延在することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記第 1 配線及び前記第 2 配線は、前記センスアンプ領域の上に配置されることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 5】 前記第 1 配線及び前記第 2 配線の少なくとも一部は、前記センスアンプ領域の上に配置されることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 6】 前記第 2 の層は、前記第 1 の層よりも上層であることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 7】 前記第 1 配線および前記第 2 配線は、前記第 1 および第 2 データ線が延在する方向に延びていることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 8】 前記メモリセルは、情報転送用 M I S F E T およびコンデンサから成り、

前記半導体集積回路装置は、

前記情報転送用 M I S F E T のゲート電極に接続されるワード線であって、前記第 1 および第 2 データ線と直交する複数のワード線を有し、

前記第 1 および第 2 データ線とワード線のすべての交点に形成された前記メモリセルを有することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 9】 前記半導体集積回路装置は、第 1 配線、前記第 2 配線、第 1 データ線および第 2 データ線を複数有し、これらの配線は、ラインアンドスペース状のマスクであって、交互に位相が異なるシフトで覆われたレベルソート型マスクで形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 0】 前記半導体集積回路装置は、第 1 データ線および第 2 データ線を複数有し、これらの配線の間隔は、ほぼ等しいことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 1】 前記第 1 配線、前記第 2 配線、第 1 データ線および第 2 データ線を複数有し、これらの配線の間隔は、最小加工寸法であることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 2】 前記メモリセルは、 $4F^2$ (F : 最小加工寸法) の領域に形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 3】 (a) 複数の第 1 メモリセルが接続され、第 1 の層に形成され、第 1 方向に延びる第 1 データ線と、

(b) 複数の第 2 メモリセルが接続され、前記第 1 の層に形成され、前記第 1 方向に延びる第 2 データ線と

(c) 前記第 1 の層と異なる第 2 の層に形成され、前記第 1 データ線に接続され、前記第 1 方向に延びる直線形状の第 1 配線と、

(d) 前記第 2 の層に形成され、前記第 2 データ線に接続され、前記第 1 方向に延びる直線形状の第 2 配線と、

(e) 前記第 1 配線および前記第 2 配線に接続され、前記第 1 配線と前記第 2 配線との電位差を増幅するセンスアンプと、

を含むことを特徴とする半導体集積回路装置。

【請求項 1 4】 前記メモリセルは、情報転送用 MISFET およびコンデンサから成り、

前記半導体集積回路装置は、

前記情報転送用 MISFET のゲート電極に接続されるワード線であって、前記第 1 および第 2 データ線と直交する複数のワード線を有し、

前記第 1 および第 2 データ線とワード線のすべての交点に形成された前記メモリセルを有することを特徴とする請求項 1 3 記載の半導体集積回路装置。

【請求項 1 5】 前記半導体集積回路装置は、前記第 1 配線、前記第 2 配線、前記第 1 データ線および第 2 データ線を複数有し、これらの配線は、ラインアンドスペース状のマスクであって、交互に位相が異なるシフトで覆われたレベルソート型マスクで形成されていることを特徴とする請求項 1 3 記載の半導体集積回路装置。

【請求項 1 6】 前記半導体集積回路装置は、前記第 1 データ線および第 2

データ線を複数有し、これらの配線の間隔は、ほぼ等しいことを特徴とする請求項 13 記載の半導体集積回路装置。

【請求項 17】 前記第 1 配線、前記第 2 配線、前記第 1 データ線および第 2 データ線を複数有し、これらの配線の間隔は、最小加工寸法であることを特徴とする請求項 13 記載の半導体集積回路装置。

【請求項 18】 前記メモリセルは、 $4F^2$ (F: 最小加工寸法) の領域に形成されていることを特徴とする請求項 13 記載の半導体集積回路装置。

【請求項 19】 (a) 複数の第 1 メモリセルが接続され、第 1 の層に形成され、第 1 方向に延びる 1 データ線と、

(b) 複数の第 2 メモリセルが接続され、前記第 1 の層に形成され、前記第 1 方向に延びる第 2 データ線と

(c) 前記第 1 の層と異なる第 2 の層に形成され、前記第 1 データ線に接続され、前記第 1 方向にのみ延びる直線形状の第 1 配線と、

(d) 前記第 2 の層に形成され、前記第 2 データ線に接続され、前記第 1 方向にのみ延びる直線形状の第 2 配線と、

(e) 前記第 1 配線および前記第 2 配線に接続され、前記第 1 配線と前記第 2 配線との電位差を増幅するセンスアンプと、を含み、

(f) 前記第 1 配線および第 2 配線は、前記センスアンプの上に配置されることを特徴とする半導体集積回路装置。

【請求項 20】 (a) 複数の第 1 メモリセルが接続され、第 1 の層に形成され、第 1 方向に延びる 1 データ線と、

(b) 複数の第 2 メモリセルが接続され、前記第 1 の層に形成され、前記第 1 方向に延びる第 2 データ線と

(c) 前記第 1 データ線と前記第 2 データ線との電位差を増幅するセンスアンプと、

(d) 前記第 1 データ線と前記センスアンプとの間に接続され、前記第 1 の層より上層の第 2 の層に形成され、前記第 1 方向に延びる第 1 配線と、

(e) 前記第 2 データ線と前記センスアンプとの間に接続され、前記第 2 の層に形成され、前記第 1 方向に延びる第 2 配線と、

(f) 前記第1および第2データ線のプリチャージ電圧を与えるプリチャージ配線 (VBLR) と、を含み、

前記プリチャージ配線は、前記第1の層に形成され、前記第1の方向に垂直な第2の方向に延びることを特徴とする半導体集積回路装置。

【請求項21】 (a) 複数の第1メモリセルが接続され、第1の層に形成され、第1方向に延びる1データ線と、

(b) 複数の第2メモリセルが接続され、前記第1の層に形成され、前記第1方向に延びる第2データ線と

(c) 前記第1データ線と前記第2データ線との電位差を増幅するセンスアンプと、

(d) 前記第1データ線と前記センスアンプとの間に接続され、前記第1の層より上層の第2の層に形成され、前記第1方向に延びる第1配線と、

(e) 前記第2データ線と前記センスアンプとの間に接続され、前記第2の層に形成され、前記第1方向に延びる第2配線と、

(f) 前記第1センスアンプの電源電圧を与える電源配線 (CSN) と、を含み

前記電源配線は、前記第1の層に形成され、前記第1の方向に垂直な第2の方向に延びることを特徴とする半導体集積回路装置。

【請求項22】 (a) 複数の第1メモリセルが接続され、第1の層に形成され、第1方向に延びる1データ線と、

(b) 複数の第2メモリセルが接続され、前記第1の層に形成され、前記第1方向に延びる第2データ線と

(c) 前記第1データ線と前記第2データ線との電位差を増幅するセンスアンプと、

(d) 前記第1データ線と前記センスアンプとの間に接続され、前記第1の層より上層の第2の層に形成され、前記第1方向に延びる第1配線と、

(e) 前記第2データ線と前記センスアンプとの間に接続され、前記第2の層に形成され、前記第1方向に延びる第2配線と、

(f) 前記第1センスアンプの電源電圧を与える接地配線 (CSP) と、を含み

前記接地配線は、前記第1の層に形成され、前記第1の方向に垂直な第2の方向に延びることを特徴とする半導体集積回路装置。

【請求項23】 (a) 複数の第1メモリセルが接続され、第1の層に形成される第1データ線と、

(b) 複数の第2メモリセルが接続され、前記第1の層に形成される第2データ線と

(c) 前記第1データ線と前記第2データ線との電位差を増幅するセンスアンプと、

(d) 前記第1データ線と前記センスアンプとの間に接続され、前記第1の層より上層の第2の層に形成される第1配線と、

(e) 前記第2データ線と前記センスアンプとの間に接続され、前記第2の層に形成される第2配線と、

(f) 前記センスアンプが用いる電圧を与える電圧配線(CSP、CSN)と、を含み、

前記電圧配線は、前記第1の層に形成され、前記第1配線と交差する方向に延びることを特徴とする半導体集積回路装置。

【請求項24】 (a) 複数の第1メモリセルと、この複数のメモリセルが接続され、第1の層に形成される第1データ線とを含む第1メモリアレイ領域と

(b) 複数の第2メモリセルと、この複数の第2のメモリセルが接続され、前記第1の層に形成される第2データ線とを含む第2メモリアレイ領域と、

(c) センスアンプ回路を含むセンスアンプ領域と、

(d) 前記第1メモリアレイ領域と前記センスアンプ領域との間の第1接続領域と、

(e) 前記第2メモリアレイ領域と前記センスアンプ領域との間の第2接続領域と、

(f) 前記第1メモリアレイ領域と前記第1接続領域との間に配置されるスイッチ形成領域を含む半導体集積回路装置であって、

前記半導体集積回路装置は、

(g) 前記第1の層と異なる第2の層に形成され、前記第1接続領域で前記第1データ線と接続される第1配線と、

(h) 前記第2の層に形成され、前記第2接続領域で前記第2データ線と接続される第2配線とを含み、

(i) 前記スイッチ形成領域は、データ伝送線(I/O)と、前記第1データ線と前記データ伝送線との間に接続された信号伝送経路を有するスイッチ回路を有し、

前記データ伝送線は、前記第1の層に形成され、前記第1配線と交差する方向に延びることを特徴とする半導体集積回路装置。

【請求項25】 (a) 複数の第1メモリセルと、この複数のメモリセルが接続され、第1の層に形成される第1データ線とを含む第1メモリアレイ領域と

(b) 複数の第2メモリセルと、この複数の第2のメモリセルが接続され、前記第1の層に形成される第2データ線とを含む第2メモリアレイ領域と、

(c) センスアンプ回路を含むセンスアンプ領域と、

(d) 前記第1メモリアレイ領域と前記センスアンプ領域との間の第1接続領域と、

(e) 前記第2メモリアレイ領域と前記センスアンプ領域との間の第2接続領域と、

(f) 前記第1データ線とデータ伝送線との間に接続されるスイッチ回路を含むスイッチ形成領域と、を含む半導体集積回路装置であって、

前記半導体集積回路装置は、

(g) 前記第1の層と異なる第2の層に形成され、前記第1接続領域で前記第1データ線と接続される第1配線と、

(h) 前記第2の層に形成され、前記第2接続領域で前記第2データ線と接続される第2配線とを含み、

(i) 前記スイッチ形成領域は、前記センスアンプ領域と前記第1接続領域との間に形成され、前記スイッチ形成領域上には、前記第2の層に形成され、前記

第 1 および第 2 配線と異なる配線が形成されることを特徴とする半導体集積回路装置。

【請求項 2 6】 (a) 複数の第 1 メモリセルと、この複数のメモリセルが接続され、第 1 の層に形成される第 1 データ線とを含む第 1 メモリアレイ領域と

(b) 複数の第 2 メモリセルと、この複数の第 2 のメモリセルが接続され、前記第 1 の層に形成される第 2 データ線とを含む第 2 メモリアレイ領域と、

(c) センスアンプ回路を含むセンスアンプ領域と、

(d) 前記第 1 メモリアレイ領域と前記センスアンプ領域との間の第 1 接続領域と、

(e) 前記第 2 メモリアレイ領域と前記センスアンプ領域との間の第 2 接続領域と、

(f) 前記第 1 データ線とデータ伝送線との間に接続されるスイッチ回路を含むスイッチ形成領域と、

(g) 前記第 1 および第 2 データ線間に接続されるプリチャージ回路を含むプリチャージ回路形成領域と、を含み、

前記半導体集積回路装置は、

(h) 前記第 1 の層と異なる第 2 の層に形成され、前記第 1 接続領域で前記第 1 データ線と接続される第 1 配線と、

(i) 前記第 2 の層に形成され、前記第 2 接続領域で前記第 2 データ線と接続される第 2 配線とを含み、

(j) 前記スイッチ形成領域およびプリチャージ回路形成領域は、前記センスアンプ領域と前記第 1 接続領域との間に形成され、前記スイッチ形成領域およびプリチャージ回路形成領域上には、前記第 2 の層に形成され、前記第 1 および第 2 配線と異なる配線が形成されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、D R A M (Dynamic Random Acc

ess Memory) のセンスアンプ部に適用して有効な技術に関するものである。

【0002】

【従来の技術】

DRAM (Dynamic Random Access Memory) は、メモリセルが複数形成されたメモリセル形成領域と、これらメモリセルへの情報の書き込みや、メモリセルからの情報の読み出しに必要な回路、例えば、センスアンプ等が形成される周辺回路領域とを有する。このメモリセルは、コンデンサCとその一端がコンデンサCに直列接続された情報転送用MISFETQsとからなり、情報転送用MISFETQsのゲート電極からなるワード線WLと、情報転送用MISFETQsのソース、ドレイン領域の一方が接続されるビット線（データ線）BLとの交点に形成される。

【0003】

一方、センスアンプSAは、ビット線BL間の電位差を増幅するための回路であり、ビット線間に接続される。

【0004】

メモリセルの微細化に伴い、このビット線間の間隔が狭くなり、センスアンプSAとビット線との接続方法やセンスアンプSAのレイアウト方法についての工夫が必要となってきた。

【0005】

例えば、特開平10-303387号公報には、センスアンプSA0とメインビット線対MBL0、/MBL0との接続に、ワード線が延びる方向と同じ方向に延びるサブビット線対SBL0、/SBL0を用いることによって、センスアンプ回路が形成される領域の平面面積を小さくする技術が記載されている。

【0006】

また、特開平7-254650号公報には、センスアンプブロック内でトランジスタの拡散層やゲート電極の配線に用いられる配線層を増やすことで、従来1つのセルアレイ内でワード線方向に一行でしか配置できなかったセンスアンプブロックを複数行に配置し、1つのセンスアンプブロックをレイアウト設計する際のワード線方向のピッチを緩和する技術が記載されている。

【0007】

【発明が解決しようとする課題】

このようなビット線間の縮小化に伴う対策として、本発明者らが関係する研究・開発部門においては、次のような技術が検討されている。

【0008】

図1に示すように、ワード線とビット線のすべての交点にメモリセルを形成する場合には、メモリセルの面積の小面積化が図れ、ビット線間のピッチを小さくすることができる。例えば、追って詳細に説明する図33および図34に示すメモリセル構造の場合には、 $6F^2$ （ F は、最小加工寸法）の領域にメモリセルを形成することが可能である。

【0009】

一方、センスアンプ回路は、前述した通りビット線間に接続されるが、センスアンプSAをロウレベルやハイレベルに駆動するための共通配線（コモンソース線）とも接続される。また、周辺回路形成領域には、プリチャージ回路やYスイッチ回路が形成され、これらの回路には、プリチャージ電位を供給するための配線や、入出力線が接続される。

【0010】

そこで、これらの配線とのコンタクトのための領域（配線b1）を、ビット線間に確保するため、ビット線4本分の間隔（ a ）に、5本の配線（ b ）を形成している（図32参照）。

【0011】

しかしながら、追って詳細に説明するが、1つのMISFETの占有面積内にメモリセルが形成されるような場合（図3および図4参照）、即ち、メモリセルの面積が $4F^2$ となるような場合には、ビット線間の間隔が F となり、前述のような技術の適用には限界がある。

【0012】

また、メモリセル形成領域のビット線を、ラインアンドスペースのレベルソンのマスクを用いて形成する場合には、ビット線は、交互に異なる位相で形成される。従って、前述のように、ビット線4本分の間隔に、5本の配線を形成する場合

には、この 5 本の配線についても、交互に異なる位相で形成する必要があるため、配線のレイアウト上の制限が生ずる。

【 0 0 1 3 】

本発明の目的は、微細化されたメモリセルのビット線に対応することができるセンスアンプ形成領域のレイアウトを提供することである。

【 0 0 1 4 】

また、本発明の他の目的は、センスアンプ形成領域の占有面積の縮小化を図ることである。

【 0 0 1 5 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 6 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 7 】

本発明の半導体集積回路装置は、第 1 の層と異なる第 2 の層に形成される第 1 配線と、第 1 の層に形成される第 1 データ線とを、第 1 メモリアレイ領域とセンスアンプ領域との間の第 1 接続領域において接続し、また、第 1 の層と異なる第 2 の層に形成される第 2 配線と、第 1 の層に形成される第 2 データ線とを、第 2 メモリアレイ領域とセンスアンプ領域との間の第 2 接続領域において接続する。

【 0 0 1 8 】

このような手段によれば、第 1、第 2 のデータ線にそれぞれ接続される第 1、第 2 配線のピッチを縮小することができる。

【 0 0 1 9 】

また、第 1 の層に、データ伝送線（I O）、プリチャージ配線（V B L R）、電源配線（C S N）および接地配線（C S P）等の配線を第 1 の層すれば、これらの配線間は、比較的ピッチを大きくすることができるため、第 2 の層に形成された第 1、第 2 の配線と、第 1 の層より下に形成された M I S F E T 等（素子）

との間の接続部を容易に形成することができる。

【0020】

また、データ伝送線（IO）を第2の層に形成すれば、配線厚さを確保することができ、配線抵抗の増大による信号遅延を回避することができる。特に、データ伝送線（IO）等が接続されるスイッチ領域を第1、第2のメモリセルとセンスアンプ領域との間に配置すれば、スイッチ領域上に配線レイアウト上のゆとりができ、ここにデータ伝送線を形成することができる。

【0021】

また、第1、第2配線を第1、第2データ線と異なる層で形成したので、第1、第2のデータ線を形成する際の位相に制限されることなく、第1、第2配線を形成することができるため、第1、第2配線のピッチを縮小することができる。

【0022】

【発明の実施の形態】

（実施の形態1）

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0023】

図1は、本発明の実施の形態であるDRAM（Dynamic Random Access Memory）の構成の概略を示す図である。図1に示すように、メモリセル形成領域（メモリアレイ領域）1とメモリセル形成領域2との間には、センスアンプ回路等が形成される周辺回路領域3が配置されている。メモリセル形成領域1および2には、ビット線（データ線）BL1a～BL1p、ビット線BL2a～BL2pとワード線WLの交点にメモリセルMC（図1中の○部）がマトリックス状に配置されている。

【0024】

このメモリセルMCは、図2に示すように、ビット線BL（BL1a～BL1p、ビット線BL2a～BL2p等）と接地電位との間に直列に接続された情報転送用縦型MISFETQsとコンデンサCを有している。また、この情報転送

用MISFETQsのゲート電極は、ワード線WLに接続されている。

【0025】

図3は、メモリセルMC形成領域の断面図の一例である。図4は、メモリセル形成領域の平面図の一例であり、図3は、a-a断面図に対応する。

【0026】

図3および図4に示すように、メモリセルMCは、半導体基板1上に形成された情報転送用縦型MISFETQsとこれに直列に接続され、半導体基板1中に形成されたコンデンサCとで構成される。

【0027】

このコンデンサCは、半導体基板1中の溝内に形成された容量絶縁膜49およびその内部に埋め込まれた上部電極50および半導体基板1中の不純物領域から成る下部電極48で構成される。この上部電極50は、不純物が注入された半導体部材からなる。

【0028】

このコンデンサC上には、情報転送用の縦型MISFETQsが配置されている。このMISFETQsは、上部電極50上に形成された半導体領域1aと、この半導体領域1a上に形成され、不純物が注入された半導体部材9を有している。この不純物が注入された半導体部材9と上部電極50が、縦型MISFETQsのソース、ドレイン領域となる。

【0029】

また、半導体領域1aの側壁には、ゲート絶縁膜を介してゲート電極Gが形成されている。従って、半導体領域1a中にチャネルが形成される。このゲート電極Gは、ワード線(WL)に接続されている。半導体部材9上には、ビット線BLが形成されている。このビット線BL上には、層間絶縁膜を介して前述のワード線WLが形成されている。このビット線BLは、ワード線WLと直交する方向に延在している(図4)。

【0030】

また、個々のメモリセルMCは、素子分離2によって分離され、半導体基板1中には下部電極48と接続される n^+ 型プレートNPが形成されている。この n^+

型プレートは、プラグPを介して第1層配線M1と接続されている。

【0031】

このような構成によれば、 $4F^2$ の領域にメモリセルMCを形成することが可能である。この場合、ビット線BLおよびワード線WLの幅とその間隔は、最小加工寸法Fとなる。

【0032】

次に、周辺回路領域3について説明する。図1の周辺回路領域3には、図5に示すように、プリチャージ回路PC、Yスイッチ回路YS、およびセンスアンプ回路SAN、SAPが形成されている。このSANとSAPとで一つのセンスアンプ回路SAが構成される。

【0033】

プリチャージ回路PCは、メモリセルの動作前にビット線BLをあらかじめ定められた電位に設定する回路であり、ビット線間（例えば、BL2aとBL1cとの間）に直列に接続された2つのMISFETPT1、PT3と、同じビット線間に接続されたMISFETPT2とから成る。これらのMISFETPT1、PT2、PT3のゲート電極はBLEQB線に接続され、また、2つのMISFETPT1およびPT3の接続ノードは、VBLR線に接続されている。VBLR線とは、ビット線にプリチャージ電圧を与えるための配線である。

【0034】

Yスイッチ回路（列選択回路）YSは、ビット線と入出力線IO（IO0、IO0B、IO1、IO1B）との間（例えばBL2aとIO0との間）に接続されたMISFETYTから成り、ビット線を介してメモリセルへの情報の書き込みもしくはメモリセルからの情報の読み出しを制御する。このMISFETYTのゲート電極は、列選択信号線YS（YS0、YS1）に接続されている。

【0035】

センスアンプ回路SAは、ビット線間の電位差を増幅するための回路であり、センスアンプ回路SAは、2つのnチャネル型MISFETからなるSANと2つのpチャネル型MISFETからなるSAPとで構成される。

【0036】

センスアンプ回路を構成する2つのnチャネル型MISFETST1、ST2は、ビット線間（例えば、BL2aとBL1cとの間）に直列に接続され、センスアンプ回路を構成する2つのpチャネル型MISFETST3、ST4も、同一ビット線間に直列に接続される。また、nチャネル型MISFETST1の一端とpチャネル型MISFETST3の一端は、一のビット線（例えば、BL2a）に接続され、これらゲート電極は、他のビット線（例えば、BL1c）を介して接続されている。また、nチャネル型MISFETST2の一端とpチャネル型MISFETST4の一端は、他のビット線（例えば、BL1c）に接続され、これらゲート電極は、一のビット線（例えば、BL2a）を介して接続されている。即ち、nチャネル型MISFETST1、ST2のゲート電極と、pチャネル型MISFETST3、ST4のゲート電極とは、交差接続されている。

【0037】

また、nチャネル型MISFETST1とST2の接続ノードは、CSN線に接続されている。このCSN線は、センスアンプSAをロウレベルに駆動するための共通配線（コモンソース線）である。

【0038】

また、pチャネル型MISFETST3とST4の接続ノードは、CSP線に接続されている。このCSP線とは、センスアンプSAをハイレベルに駆動するための共通配線（コモンソース線）である。

【0039】

図6～図19は、センスアンプ形成領域の回路配置を示す図である。

【0040】

図6に示すように、センスアンプ形成領域には、p型ウエル領域Ap1～Ap5、n型ウエル領域An1、An2およびp型ウエル領域Ap7～Ap9が、ビット線延在方向（紙面横方向）に順次配置されている。また、これらp型ウエル領域Ap1～Ap5、n型ウエル領域An1、An2およびp型ウエル領域Ap7～Ap9は、素子分離で囲まれている。

【0041】

図7、図8および図9に示すように、p型ウエル領域Ap1、Ap2、Ap8

およびA p 9の主表面には、Yスイッチ回路Y Sを構成するM I S F E T Y Tが形成されている。

【0042】

また、p型ウエル領域A p 3およびA p 7の主表面には、プリチャージ回路P Cを構成するM I S F E T P T 1、P T 2、P T 3が形成されている。

【0043】

また、p型ウエル領域A p 4およびA p 5の主表面には、センスアンプ回路S Aを構成するnチャネル型M I S F E T S T 1、S T 2 (S A N)が形成されている。また、n型ウエル領域A n 1およびA n 2には、センスアンプ回路S Aを構成するpチャネル型M I S F E T S T 3、S T 4 (S A P)が形成されている。

【0044】

これらのM I S F E T (Y T、P T 1～P T 3およびS T 1～S T 4)のゲート電極およびソース、ドレイン領域上には、コンタクト部(図8および図9中の四角部)が形成される。

【0045】

図8および図9は、M I S F E T (Y T、P T 1～P T 3およびS T 1～S T 4)のゲート電極もしくはソース、ドレイン領域上のコンタクト部を示した図である。図8は、図7の左側(L)に対応し、図9は、図7の右側(R)に対応する。図8および図9中の四角部のうち、黒四角部は、第1層配線M 1とのコンタクト部を示す。

【0046】

図10および図11は、図8および図9に示すコンタクト部上に第1層配線M 1(I O 0、I O 0 B、B L E Q B、V B L R、C S N、C S PおよびI O 1、I O 1 B)を形成した場合の回路配置図である。この第1層配線M 1は、図3および図4で説明したメモリセル形成領域1、2上のビット線(B L 1 a～B L 1 p、B L 2 a～B L 2 p)と同一の層で形成されている。また、第1層配線M 1は、ビット線と垂直方向(紙面縦方向)に延在している。

【0047】

図10および図11に示すように、プリチャージ回路PCを構成するMISFETPT1およびPT3の接続ノード上には、VBLR線が形成されている。また、プリチャージ回路PCを構成するMISFETPT1、PT2、PT3のゲート電極上には、BLEQB線が形成され、図示しない領域で接続されている。

【0048】

また、Yスイッチ回路YSを構成するMISFETYTの一方のソース、ドレイン領域上には、入出力線（データ伝送線）IO（IO0、IO0B、IO1、IO1B）が形成されている。

【0049】

また、センスアンプ回路SAを構成するnチャネル型ST1とST2の共通のソース、ドレイン領域上には、CSN線が形成されている。また、pチャネル型MISFETST3とST4の共通のソース、ドレイン領域上には、CSP線が形成されている。

【0050】

ここで、センスアンプ回路SAを構成するnチャネル型ST1およびST2の他のソース、ドレイン領域上にも、第1層配線M1aが形成されている。この配線M1aおよび後述する第2層配線M2を介して、前記ソース、ドレイン領域が、ビット線と接続される。また、センスアンプ回路SAを構成するpチャネル型ST3およびST4の他のソース、ドレイン領域上にも、第1層配線M1b（導電部）が形成されている。この配線M1bおよび後述する第2層配線M2を介して、前記ソース、ドレイン領域が、ビット線と接続される。

【0051】

図12および図13は、図10および図11に示す第1層配線M1（IO0、IO0B、BLEQB、VBLR、CSN、CSPおよびIO1、IO1B）およびビット線上のコンタクト部（黒四角部）を示した図である。図12および図13に示したコンタクト部（黒四角部）を介して第2層配線M2（M2a～M2p）とMISFET（YT、PT1～PT3およびST1～ST4）のゲート電極もしくはソース、ドレイン領域とが接続される。

【0052】

図 1 4 および図 1 5 は、図 1 2 および図 1 3 に示すコンタクト部（黒四角部）上に第 2 層配線 M 2 a ～ M 2 p 等を形成した場合の回路配置図である。なお、図を明確にするために、第 1 層配線 M 1 および第 1 層配線 M 1 下のコンタクト部を省略している。

【 0 0 5 3 】

図 1 4 および図 1 5 に示すように、プリチャージ回路 P C を構成する M I S F E T P T 1 のソース、ドレイン領域は、第 2 層配線間（例えば、M 2 a および M 2 c との間）に接続されている。

【 0 0 5 4 】

また、Y スイッチ回路 Y S を構成する M I S F E T Y T のソース、ドレイン領域は、第 2 層配線（例えば、M 2 a ）と接続されている。

【 0 0 5 5 】

また、センスアンプ回路 S A を構成する n チャネル型 M I S F E T S T 2 のソース、ドレイン領域は、第 1 層配線 M 1 a を介してビット線（例えば、B L 2 a ）に接続されている。また、このビット線（例えば、B L 2 a ）には、M I S F E T S T 1 のゲート電極が接続される。

【 0 0 5 6 】

また、センスアンプ回路 S A を構成する n チャネル型 M I S F E T S T 1 のソース、ドレイン領域は、第 1 層配線 M 1 a を介してビット線（例えば、B L 1 c ）に接続されている。また、このビット線（例えば、B L 1 c ）には、M I S F E T S T 2 のゲート電極が接続される。

【 0 0 5 7 】

また、センスアンプ回路 S A を構成する p チャネル型 M I S F E T S T 4 のソース、ドレイン領域は、第 1 層配線 M 1 b を介してビット線（例えば、B L 2 a ）に接続されている。また、このビット線（例えば、B L 2 a ）には、M I S F E T S T 3 のゲート電極が接続される。

【 0 0 5 8 】

また、センスアンプ回路 S A を構成する p チャネル型 M I S F E T S T 3 のソース、ドレイン領域は、第 1 層配線 M 1 b を介してビット線（例えば、B L 1 c

）に接続されている。また、このビット線（例えば、BL1c）には、MISFETST4のゲート電極が接続される。

【0059】

一方、この第2層配線M2c、M2d、M2g、M2h、M2k、M2l、M2oおよびM2pは、それぞれビット線BL2c、BL2d、BL1g、BL1h、BL2k、BL2l、BL1oおよびBL1pと、p型ウエル領域Ap1の近傍（第1接続領域）で接続されている（図12参照）。これらの第2層配線とビット線とは、図12中のp型ウエル領域Ap1の近傍（第1接続領域）のコンタクト部（黒四角部）を介して接続される。

【0060】

また、この第2層配線M2a、M2b、M2e、M2f、M2i、M2j、M2mおよびM2nは、それぞれビット線BL2a、BL2b、BL2e、BL2f、BL2i、BL2j、BL2mおよびBL2nと、p型ウエル領域Ap9の近傍（第2接続領域）で接続されている（図13参照）。これらの第2層配線とビット線とは、図13中のp型ウエル領域Ap9の近傍（第2接続領域）のコンタクト部（黒四角部）を介して接続される。

【0061】

このように、本実施の形態においては、センスアンプ回路SA、プリチャージ回路PCおよびYスイッチ回路YSとビット線BLとを、第2層配線M2a～M2pを介して接続したので、センスアンプ回路等が形成される周辺回路領域上の第2層配線M2のピッチを小さくすることができる。

【0062】

特に、第2層配線M2を最小加工寸法Fで配置することができ、図3および図4に示したように、ビット線BLおよびワード線WLの幅とその間隔が最小加工寸法（F）であるような場合であっても、周辺回路領域を大きくすることなく、センスアンプ回路等をレイアウトすることができる。

【0063】

また、本実施の形態においては、センスアンプ回路等の周辺回路を駆動するために必要な信号線（IO0、IO0B、BLEQB、VBLR、CSN、CSPお

よび I O 1、I O 1 B) を第 1 層配線 M 1 とした。これらの信号線は、配線ピッチが大きいと、第 2 層配線 M 2 と周辺回路 (センスアンプ回路 S A、プリチャージ回路 P C および Y スイッチ回路 Y S) を構成する M I S F E T (Y T、P T 1 ~ P T 3、S T 1 ~ S T 4) のソース、ドレイン領域もしくはゲート電極とのコンタクト領域を、第 1 層配線 M 1 の隙間を介して容易に確保することができる。

【 0 0 6 4 】

また、ビット線 (第 1 層) と異なる層 (第 2 層) で配線 M 2 a ~ M 2 p を形成したので、ビット線の位相とは無関係に、第 2 層配線 M 2 a ~ M 2 p を形成することができる。即ち、メモリセル形成領域のビット線 B L を、ラインアンドスペースのレベルソーンマスクを用いて形成する場合には、ビット線は、交互に異なる位相で形成される。従って、メモリセル形成領域のビット線と同じ層 (第 1 層) で、センスアンプ形成領域上の配線を形成する場合、ビット線とセンスアンプ形成領域上の配線とを接続する際には、同じ位相の配線同士を接続しなければならない。その結果、近接するビット線とセンスアンプ形成領域上の配線を接続することができなくなるといった、配線のレイアウト上の制限が生ずる。

【 0 0 6 5 】

これに対し、本発明においては、ビット線と (第 1 層) と異なる層 (第 2 層) で配線 M 2 a ~ M 2 p を形成したので、前述のような不都合がない。

【 0 0 6 6 】

また、本実施の形態においては、プリチャージ回路 P C および Y スイッチ回路 Y S を周辺回路領域の両端に分割して配置したので、ビット線対 (例えば B L 2 b と B L 1 d) と接続される第 2 層配線対 (例えば、M 2 b と M 2 d) は、周辺回路領域の両端に存在するプリチャージ回路および Y スイッチ回路 Y S のいずれか一方に接続される。その結果、第 2 層配線対のうちいずれか一方は、センスアンプ形成領域の途中まで延在すればよく、第 2 層配線が接続しないプリチャージ回路および Y スイッチ回路形成領域上をビット線と接続される第 2 層配線 M 2 a ~ M 2 p 以外の配線 (M 2 x) 領域とすることができる。図 1 6 および図 1 7 に、ビット線と接続される第 2 層配線 M 2 a ~ M 2 p と、前述の配線 (M 2 x) を

示す。

【 0 0 6 7 】

これらの第2層配線 ($M2a \sim M2p$ および $M2x$) は、ビット線延在方向 (紙面横方向) に延在しているが、第2層配線としてビット線延在方向と垂直な方向に延在する配線 $M2y$ も形成される。これらの配線は、第1層配線 $M1$ (CSN 、 CSP) や、後述する第3層配線 $M3$ ($YS0$ 、 $YS1$ 、 $YS2$ 、 $YS3$) と接続される配線 (導電部) である。

【 0 0 6 8 】

図18および図19は、図16および図17に示す第2層配線 ($M2a \sim M2p$ 、 $M2x$ 等) 上に第3層配線 $M3$ ($YS0 \sim YS3$ 等) を形成した場合の回路配置図である。図18および図19に示すように、第2層配線 ($M2a$ 等) と同一方向に第3層配線 $M3$ が延在している。第3層配線のうち、 $YS0 \sim YS3$ (列選択信号線) は、 Y スイッチ回路 YS を構成する n チャネル型 $MISFET$ のゲート電極と接続される。第1層配線 $M1$ のうち CSN 線と CSP 線は、前述の第2層配線を介して第3層配線 $M3x$ と接続されている。

【 0 0 6 9 】

(実施の形態2)

実施の形態1においては、周辺回路領域の両端 (p 型ウエル領域 $Ap1$ および $Ap9$ 近傍) に乗り換え領域 (接続領域) を設けたが、プリチャージ回路 PC の両端に乗り換え領域を設け、入出力線 IO ($IO0$ 、 $IO0B$ 、 $IO1$ 、 $IO1B$) を第2層配線 $M2$ としてもよい。プリチャージ回路 PC 、 Y スイッチ回路 YS 、およびセンスアンプ回路 SA の回路構成やこれらの接続関係は、図5を参照しながら説明した実施の形態1の場合と同様であるため、その説明を省略する。

【 0 0 7 0 】

図20～図31は、本実施の形態のセンスアンプ形成領域の回路配置を示す図である。

【 0 0 7 1 】

実施の形態1の場合と同様に、センスアンプ形成領域には、 p 型ウエル領域 $Ap1 \sim Ap5$ 、 n 型ウエル領域 $An1$ 、 $An2$ および p 型ウエル領域 $Ap7 \sim Ap9$ 近傍に、

p 9 が、ビット線延在方向（紙面横方向）に順次配置されている。また、これら p 型ウエル領域 A p 1 ～ A p 5、n 型ウエル領域 A n 1、A n 2 および p 型ウエル領域 A p 7 ～ A p 9 は、素子分離で囲まれている。

【0072】

また、p 型ウエル領域 A p 1、A p 2、A p 8 および A p 9 の主表面には、Y スイッチ回路 Y S を構成する M I S F E T Y T が形成されている。

【0073】

また、p 型ウエル領域 A p 3 および A p 7 の主表面には、プリチャージ回路 P C を構成する M I S F E T P T 1、P T 2、P T 3 が形成されている。

【0074】

また、p 型ウエル領域 A p 4 および A p 5 の主表面には、センスアンプ回路 S A を構成する n チャネル型 M I S F E T S T 1、S T 2（S A N）が形成されている。また、n 型ウエル領域 A n 1 および A n 2 には、センスアンプ回路 S A を構成する p チャネル型 M I S F E T S T 3、S T 4（S A P）が形成されている。

【0075】

これらの M I S F E T（Y T、P T 1 ～ P T 3 および S T 1 ～ S T 4）のゲート電極およびソース、ドレイン領域上には、コンタクト部（図 20 および図 21 中の四角部）が形成される。

【0076】

図 20 および図 21 は、M I S F E T（Y T、P T 1 ～ P T 3 および S T 1 ～ S T 4）のゲート電極もしくはソース、ドレイン領域上のコンタクト部を示した図である。図 20 および図 21 中の四角部のうち、黒四角部は、第 1 層配線 M 1 とのコンタクト部を示す。

【0077】

図 22 および図 23 は、図 20 および図 21 に示すコンタクト部上に第 1 層配線 M 1（B L E Q B、V B L R、C S N および C S P および）を形成した場合の回路配置図である。この第 1 層配線 M 1 は、図 3 および図 4 で説明したメモリセル形成領域 1、2 上のビット線（B L 1 a ～ B L 1 p、ビット線 B L 2 a ～ B L

2p) と同一の層で形成されている。また、第1層配線M1は、ビット線と垂直方向（紙面縦方向）に延在している。

【0078】

図22および図23に示すように、プリチャージ回路PCを構成するMISFETPT1およびPT3の共通のソース、ドレイン領域上には、VBLR線が形成されている。また、プリチャージ回路PCを構成するMISFETPT1、PT2、PT3のゲート電極上には、BLEQB線が形成され、図示しない領域で接続されている。

【0079】

また、センスアンプ回路SAを構成するnチャネル型ST1とST2の共通のソース、ドレイン領域上には、CSN線が形成されている。また、pチャネル型MISFETST3とST4の共通のソース、ドレイン領域上には、CSP線が形成されている。

【0080】

ここで、センスアンプ回路SAを構成するnチャネル型ST1およびST2の他のソース、ドレイン領域上にも、第1層配線M1aが形成されている。この配線M1aおよび後述する第2層配線M2を介して、前記ソース、ドレイン領域が、ビット線と接続される。また、センスアンプ回路SAを構成するpチャネル型ST3およびST4の他のソース、ドレイン領域上にも、第1層配線M1b（導電部）が形成されている。この配線M1bおよび後述する第2層配線M2を介して、前記ソース、ドレイン領域が、ビット線と接続される。

【0081】

図24および図25は、図22および図23に示す第1層配線M1（BLEQB、VBLR、CSNおよびCSP）およびビット線上のコンタクト部（黒四角部）を示した図である。図24および図25に示したコンタクト部（黒四角部）を介して第2層配線M2（M2a～M2p）とMISFET（PT1～PT3およびST1～ST4）のゲート電極もしくはソース、ドレイン領域とが接続される。

【0082】

図26および図27は、図24および図25に示すコンタクト部（黒四角部）上に第2層配線M2a～M2p等を形成した場合の回路配置図である。なお、図を明確にするために、第1層配線M1および第1層配線M1下のコンタクト部を省略している。

【0083】

図26および図27に示すように、プリチャージ回路PCを構成するMISFETPT1のソース、ドレイン領域は、第2層配線間（例えば、M2aおよびM2cとの間）に接続されている。

【0084】

また、Yスイッチ回路YSを構成するMISFETYTのソース、ドレイン領域上は、第2層配線（例えば、M2a）と接続されている。

【0085】

また、センスアンプ回路SAを構成するnチャネル型MISFETST2のソース、ドレイン領域は、第1層配線M1aを介してビット線（例えば、BL2a）に接続されている。また、このビット線（例えば、BL2a）には、MISFETST1のゲート電極が接続される。

【0086】

また、センスアンプ回路SAを構成するnチャネル型MISFETST1のソース、ドレイン領域は、第1層配線M1aを介してビット線（例えば、BL1c）に接続されている。また、このビット線（例えば、BL1c）には、MISFETST2のゲート電極が接続される。

【0087】

また、センスアンプ回路SAを構成するpチャネル型MISFETST4のソース、ドレイン領域は、第1層配線M1bを介してビット線（例えば、BL2a）に接続されている。また、このビット線（例えば、BL2a）には、MISFETST3のゲート電極が接続される。

【0088】

また、センスアンプ回路SAを構成するpチャネル型MISFETST3のソース、ドレイン領域は、第1層配線M1bを介してビット線（例えば、BL1c

）に接続されている。また、このビット線（例えば、BL1c）には、MISFETST4のゲート電極が接続される。

【0089】

一方、この第2層配線M2c、M2d、M2g、M2h、M2k、M2l、M2oおよびM2pは、それぞれビット線BL2c、BL2d、BL1g、BL1h、BL2k、BL2l、BL1oおよびBL1pと、p型ウエル領域Ap2とAp3との境界近傍（第1接続領域）で接続されている（図26参照）。これらの第2層配線とビット線とは、図26中のp型ウエル領域Ap2とAp3との境界近傍（第1接続領域）のコンタクト部（黒四角部）を介して接続される。

【0090】

また、この第2層配線M2a、M2b、M2e、M2f、M2i、M2j、M2mおよびM2nは、それぞれビット線BL2a、BL2b、BL2e、BL2f、BL2i、BL2j、BL2mおよびBL2nと、p型ウエル領域Ap7とAp8との境界近傍（第2接続領域）で接続されている（図27参照）。これらの第2層配線とビット線とは、図27中のp型ウエル領域Ap7とAp8との境界近傍（第2接続領域）のコンタクト部（黒四角部）を介して接続される。

【0091】

また、Yスイッチ回路YSを構成するMISFETYTの一方のソース、ドレイン領域上には、入出力線IO（IO0、IO0B、IO1、IO1B）が第2層配線として形成されている。

【0092】

このように、本実施の形態においては、センスアンプ回路SA、プリチャージ回路PCおよびYスイッチ回路YSとビット線BLとを、第2層配線M2a～M2pを介して接続したので、実施の形態1の場合と同様の効果を得ることができる。

【0093】

また、本実施の形態においては、これらの第2層配線とビット線との接続領域を、p型ウエル領域Ap2とAp3との境界近傍（第1接続領域）もしくはp型ウエル領域Ap7とAp8との境界近傍（第2接続領域）に設けたので、Yスイ

ッチ回路YS上に、入出力線IO（IO0、IO0B、IO1、IO1B）を第2層配線として形成することができる。

【0094】

従って、入出力線IOを低抵抗化することができる。即ち、第1層配線M1を構成する導電材料は、その膜厚をあまり大きくすることができないため、配線が高抵抗となる。その結果、信号伝達に遅延が生じ、高速動作が損なわれる恐れがある。そこで、本実施の形態においては、配線遅延が特に問題となる入出力線IOを第2層配線として形成することにより、かかる問題を解消している。

【0095】

なお、実施の形態1の場合と同様に、第2層配線が接続しないプリチャージ回路上をビット線と接続される第2層配線M2a～M2p以外の配線（M2x）領域とすることができる（図28および図29）。

【0096】

図30および図31は、図28および図29に示す第2層配線（M2a～M2p、M2x等）上に第3層配線M3（YS0～YS3等）を形成した場合の回路配置図である。これらの配線は、実施の形態1の場合と同様に接続されているため、その詳細な説明を省略する。

【0097】

（実施の形態3）

特に、本発明においては、例えば、図3および図4を参照しながら説明した $4F^2$ の領域に形成することが可能なメモリセルを例に説明したが、本発明を、 $6F^2$ もしくは $8F^2$ のメモリセルに適用することも可能である。

【0098】

図33および図34に、 $6F^2$ のメモリセルの一例を示し、その構成について説明する。

【0099】

このメモリセルMCも、図2に示したように、ビット線BLと接地電位との間に直列に接続された情報転送用MISFETQsとコンデンサCを有している。また、この情報転送用MISFETQsのゲート電極は、ワード線WLに接続さ

れている。

【 0 1 0 0 】

図 3 3 は、メモリセル MC 形成領域の断面図である。図 3 4 は、メモリセル形成領域の平面図であり、図 3 3 は、a - a 断面図に対応する。

【 0 1 0 1 】

図 3 3 および図 3 4 に示すように、メモリセル MC は、半導体基板 1 の主表面に形成された情報転送用 MISFET Q s とこれに直列に接続されたコンデンサ C とで構成される。

【 0 1 0 2 】

この情報転送用 MISFET Q s は、素子分離 2 で囲まれた半導体基板 1 中の p 型ウェル 3 上にゲート酸化膜 6 を介して形成されたゲート電極 7 と、このゲート電極 7 の両側の LDD 構造のソース、ドレイン領域 9 を有する。このゲート電極 7 は、低抵抗多結晶シリコン膜 7 a、WN 膜（図示せず）および W 膜 7 b の積層膜から成り、その上部および側部が窒化シリコン膜 1 1 および 1 5 で覆われている。なお、メモリセル形成領域に形成されたゲート電極 7 は、ワード線 WL として機能する。

【 0 1 0 3 】

また、コンデンサ C は、多結晶シリコン膜で構成される下部電極 4 8、酸化タンタル膜等で構成される容量絶縁膜 4 9 および TiN 膜で構成される上部電極 5 0 から成り、酸化シリコン膜 4 6 および窒化シリコン膜 4 5 中に形成された溝 4 7 上に形成されている。

【 0 1 0 4 】

また、情報転送用 MISFET Q s とコンデンサ C とは、ソース、ドレイン領域 9 上に形成されたプラグ 1 8 およびこのプラグ 1 8 上に形成されたプラグ 4 4 を介して接続される。また、ソース、ドレイン領域 9 上に形成されたプラグ 1 9 上には、プラグ 2 2 を介してビット線 BL が形成されている。なお、プラグ 1 8 は、酸化シリコン膜 1 5 および窒化シリコン膜 1 1 中に形成されたコンタクトホール 1 7 内に形成され、プラグ 1 9 は、酸化シリコン膜 1 5 および窒化シリコン膜 1 1 中に形成されたコンタクトホール 1 6 内に形成される。また、プラグ 2 2

は、酸化シリコン膜 2 0 中に形成されたコンタクトホール 2 1 内に形成され、プラグ 4 4 は、酸化シリコン膜 4 0 および 2 0 中に形成されたコンタクトホール 4 3 内に形成されている。

【 0 1 0 5 】

さらに、コンデンサ C 上には、酸化シリコン膜 5 1 が形成され、図示はしないが、酸化シリコン膜 5 1 上には第 2 層配線 M 2 が形成される。さらに、第 2 層配線 M 2 上には、層間絶縁膜を介して第 3 層配線が形成される。

【 0 1 0 6 】

このようなメモリセル ($6 F^2$) に、本発明を適用した場合にも、センスアンプ回路等が形成される周辺回路領域上の第 2 層配線 M 2 のピッチを小さくすることができる。

【 0 1 0 7 】

特に、ビット線 (第 1 層) と異なる層 (第 2 層) で配線を形成したので、ビット線の位相とは無関係に、第 2 層配線を形成することができ、配線のレイアウト上の制限を緩和することができる。その結果、配線や M I S F E T 等の素子の規則性が良くなり、メモリセルや周辺回路の信頼性テストが容易になる。

【 0 1 0 8 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 0 9 】

特に、本発明においては、 $4 F^2$ の領域に形成することが可能なメモリセルとして、図 3 および図 4 に示す D R A M 構成のメモリセルについて説明したが、不揮発性メモリ等の他の微細な半導体集積回路装置についても広く適用可能である。

【 0 1 1 0 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【 0 1 1 1 】

本発明によれば、第1の層に形成されるビット線（データ線）BL（例えば、BL2a）と第1の層と異なる第2の層に形成される第2層配線M2（M2a）と、第1メモリセル形成領域とセンスアンプ領域との間の第1接続領域において接続し、また、第1の層に形成されるビット線BL（例えば、BL1c）と第1の層と異なる第2の層に形成される第2層配線M2（M2c）と、第2メモリセル形成領域とセンスアンプ領域との間の第2接続領域において接続したので、これらのビット線にそれぞれ接続される第2層配線のピッチを縮小することができる。

【 0 1 1 2 】

また、第1の層に、データ伝送線（IO線）、プリチャージ配線（VBLR線）、電源配線（CSN線）および接地配線（CSP線）等の配線を形成すれば、これらの配線間は、比較的ピッチの大きくすることができるため、第2層配線と、第1層配線より下に形成されたMISFET等（素子）との間の接続部を容易に形成することができる。

【 0 1 1 3 】

また、データ伝送線（IO線）を第2層配線とすれば、配線の厚さを確保することができ、配線抵抗の増大による信号遅延を回避することができる。特に、データ伝送線（IO線）等が接続されるYスイッチ回路領域を第1、第2のメモリセル形成領域とセンスアンプ領域との間に配置すれば、Yスイッチ回路領域上に配線レイアウト上のゆとりができ、ここに、データ伝送線（IO線）を形成することができる。

【 0 1 1 4 】

また、ビット線BLと接続される第2層配線M2を、ビット線BL（第1層）と異なる層で形成したので、ビット線を形成する際の位相に制限されることなく、前記第2層配線を形成することができるため、第2層配線のピッチを縮小することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態 1 である半導体集積回路装置の構成の概略を示す図である。

【図 2】

本発明の実施の形態 1 である半導体集積回路装置のメモリセル形成領域の回路構成を示す図である。

【図 3】

本発明の実施の形態 1 である半導体集積回路装置のメモリセル形成領域を示す基板の要部断面図である。

【図 4】

本発明の実施の形態 1 である半導体集積回路装置のメモリセル形成領域を示す基板の要部平面図である。

【図 5】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路構成を示す図である。

【図 6】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 7】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 8】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 9】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 10】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 1】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 2】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 3】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 4】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 5】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 6】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 7】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 8】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 1 9】

本発明の実施の形態 1 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 0】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を

示す図である。

【図 2 1】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 2】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 3】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 4】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 5】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 6】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 7】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 8】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 2 9】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 3 0】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 3 1】

本発明の実施の形態 2 である半導体集積回路装置の周辺回路領域の回路配置を示す図である。

【図 3 2】

本発明の課題を説明するための図である。

【図 3 3】

本発明の実施の形態 3 である半導体集積回路装置のメモリセルを示す基板の要部断面図である。

【図 3 4】

本発明の実施の形態 3 である半導体集積回路装置のメモリセルを示す基板の要部平面図である。

【符号の説明】

- 1 半導体基板
- 1 a 半導体領域
- 2 素子分離
- 3 p 型ウエル
- 5 酸化シリコン膜
- 6 ゲート酸化膜
- 7 a 多結晶シリコン膜
- 7 b W膜
- 7 ゲート電極
- 8 窒化シリコン膜
- 9 ソース、ドレイン領域
- 1 1 窒化シリコン膜
- 1 5 酸化シリコン膜
- 1 6、1 7 コンタクトホール
- 1 8、1 9 プラグ

20 酸化シリコン膜
21 コンタクトホール
22 プラグ
40 酸化シリコン膜
43 コンタクトホール
44 プラグ
45 窒化シリコン膜
46 酸化シリコン膜
47 溝
48 下部電極
49 容量絶縁膜
50 上部電極
51 酸化シリコン膜
Ap1～Ap5、Ap7～Ap9 p型ウエル領域
An1、An2 n型ウエル領域
BL、BL1a～BL1p、BL2a～BL2p ビット線
M1 第1層配線
IO0、IO0B、IO1、IO1B 入出力線
CSN コモンソース線
CSP コモンソース線
VBLR プリチャージ配線
M1a、M1b 第1層配線
M2a～M2p、M2x、M2y 第2層配線
M3、M3x 第3層配線
YS0～YS3 列選択信号線
P プラグ
NP n^+ 型プレート
MC メモリセル
C コンデンサ

Qs 情報転送用MISFET

WL ワード線

BL ビット線

PC プリチャージ回路

YS Yスイッチ回路

SA センスアンプ回路

SAN センスアンプ回路を構成するnチャネル型MISFET

SAP センスアンプ回路を構成するpチャネル型MISFET

PT1～PT3 プリチャージ回路を構成するMISFET

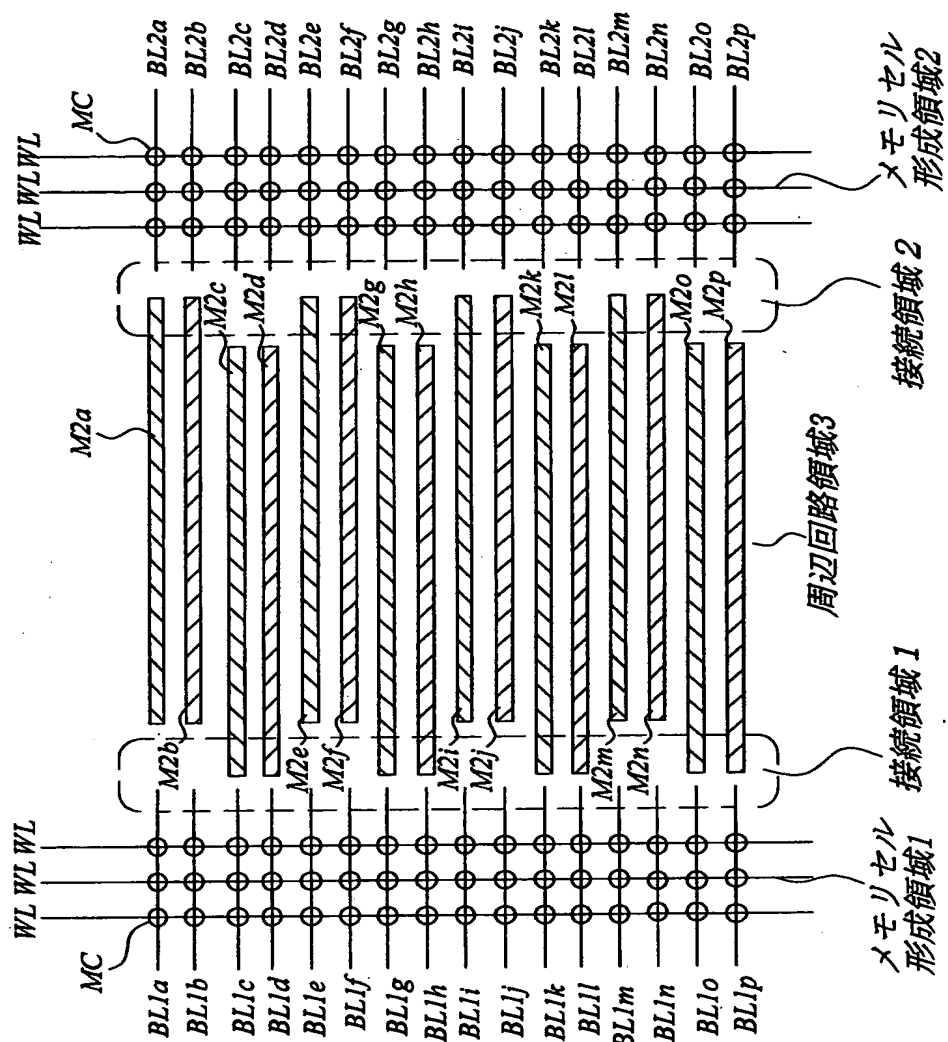
YT Yスイッチ回路を構成するMISFET

ST1、ST2 センスアンプ回路を構成するnチャネル型MISFET

ST3、ST4 センスアンプ回路を構成するpチャネル型MISFET

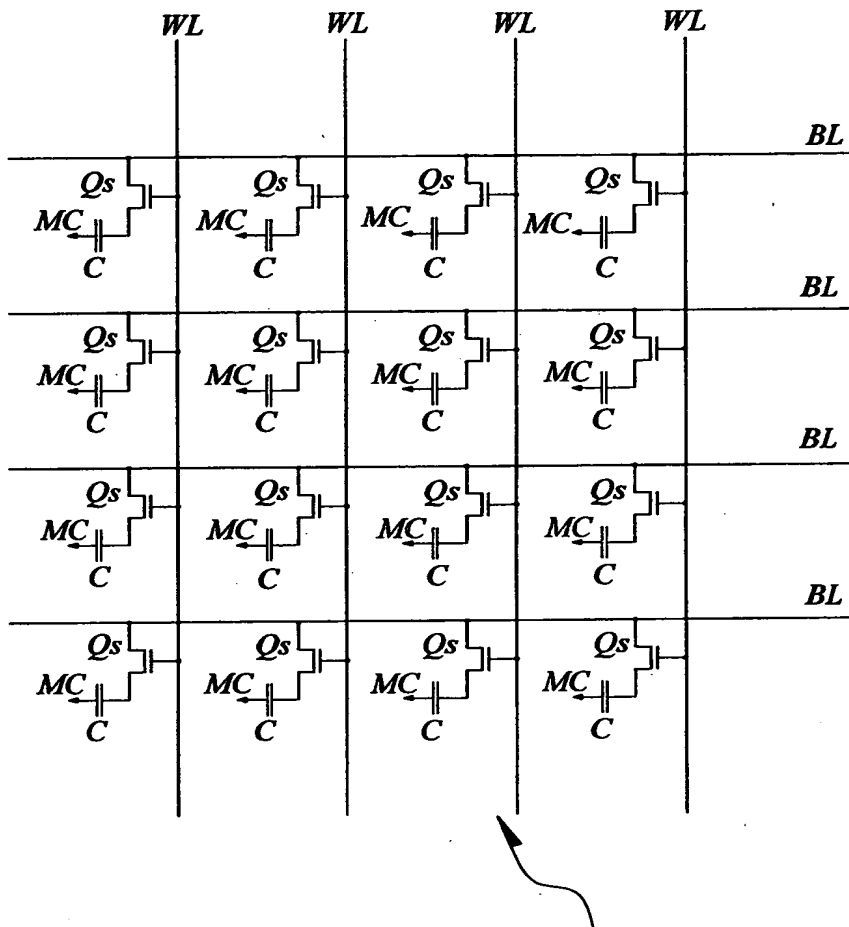
【書類名】 図面

【図 1】



【図 2】

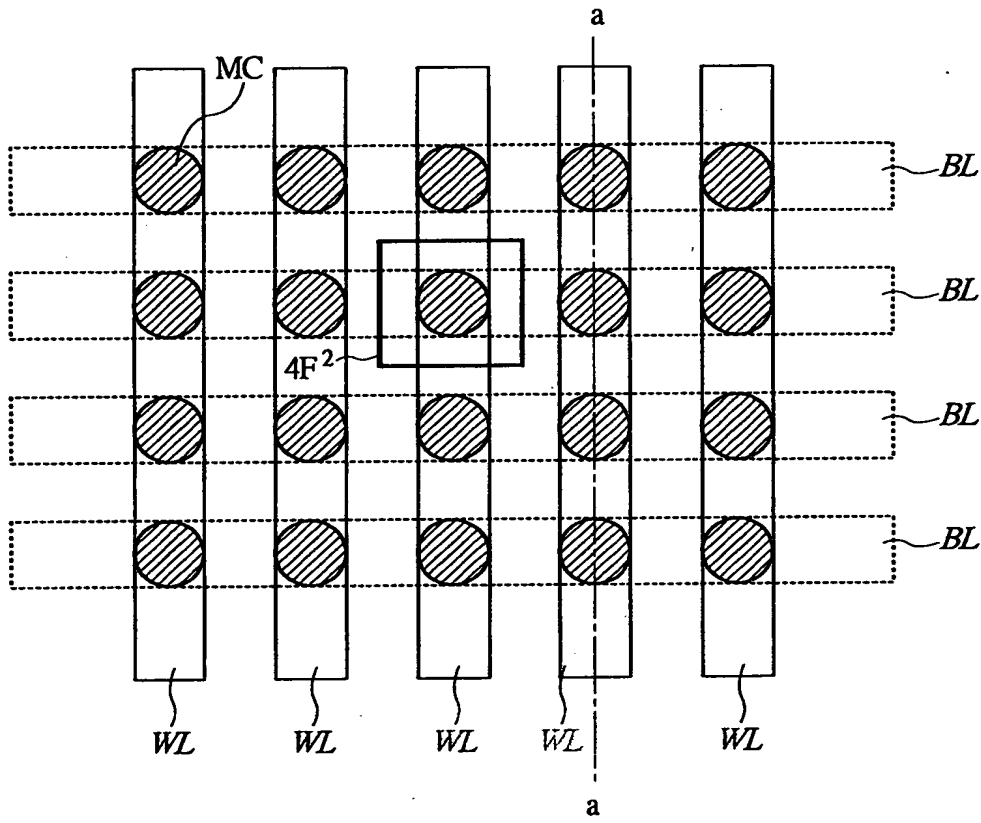
図 2



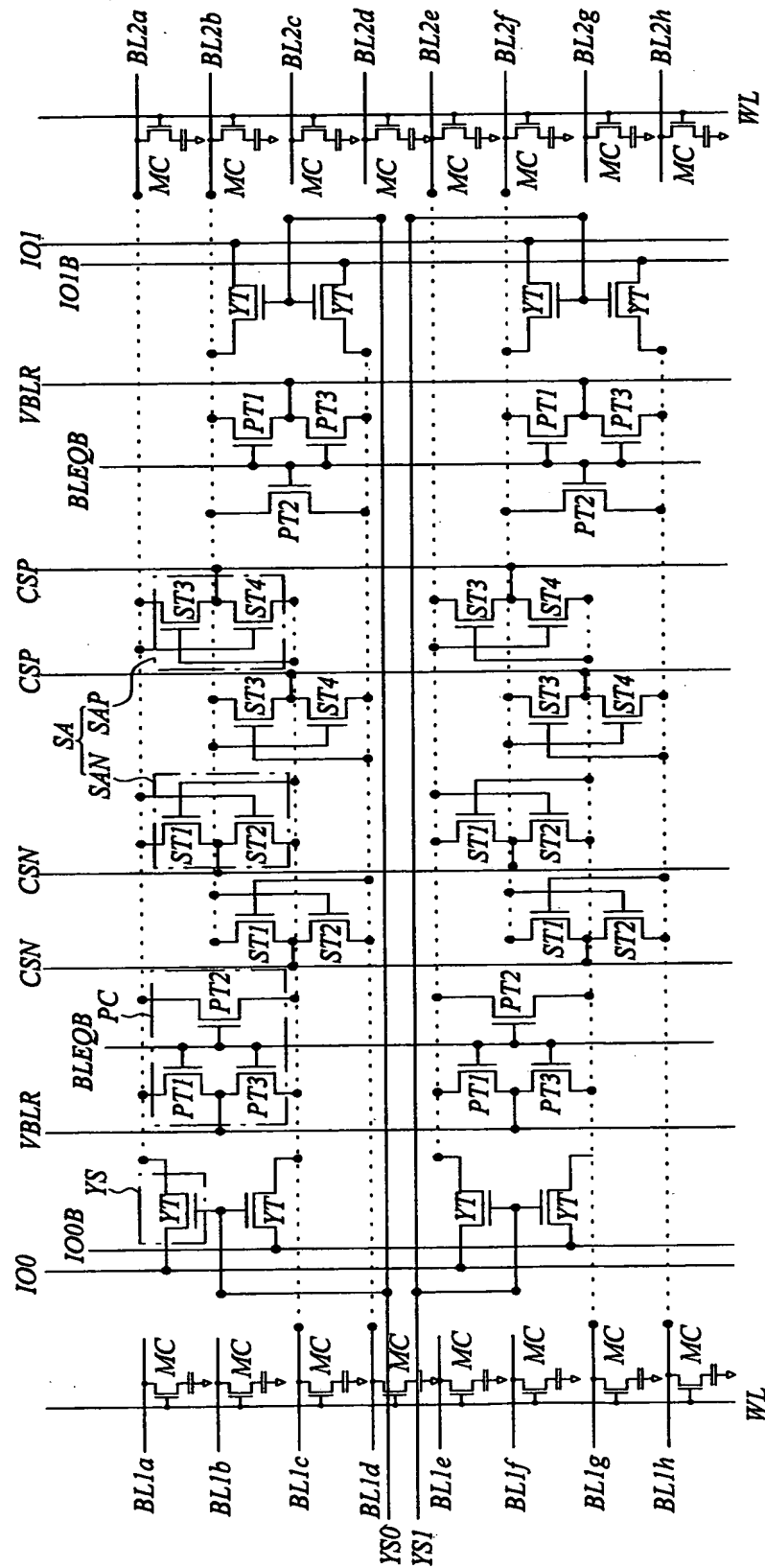
メモリセル形成領域1or2

【図 4】

図 4

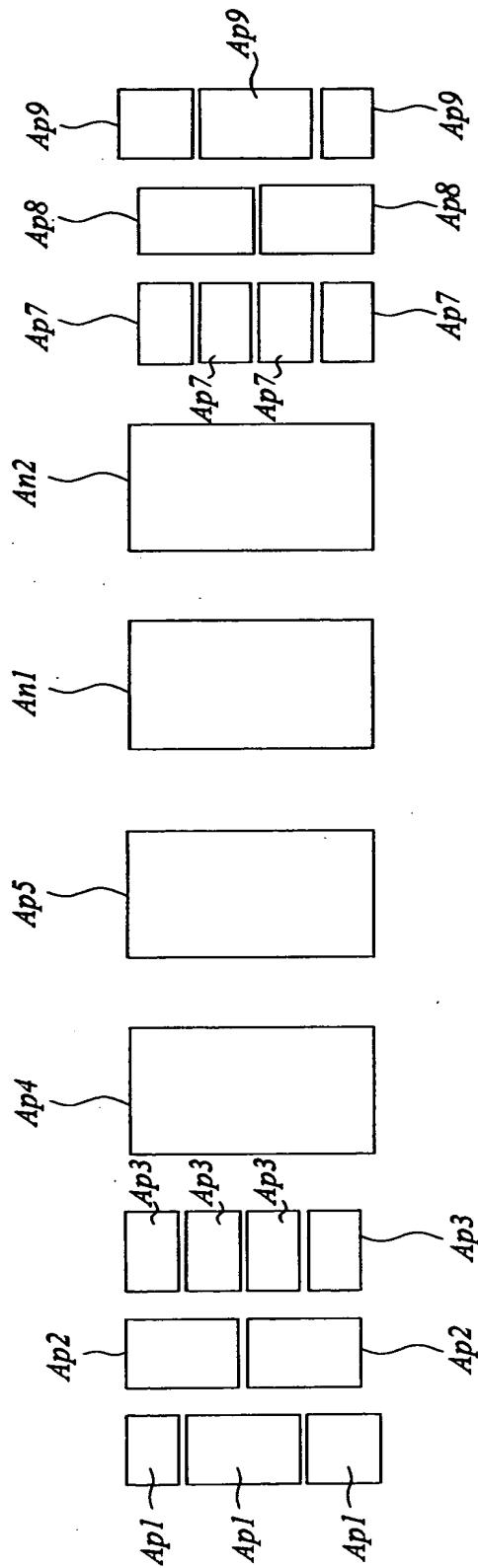


【図 5】

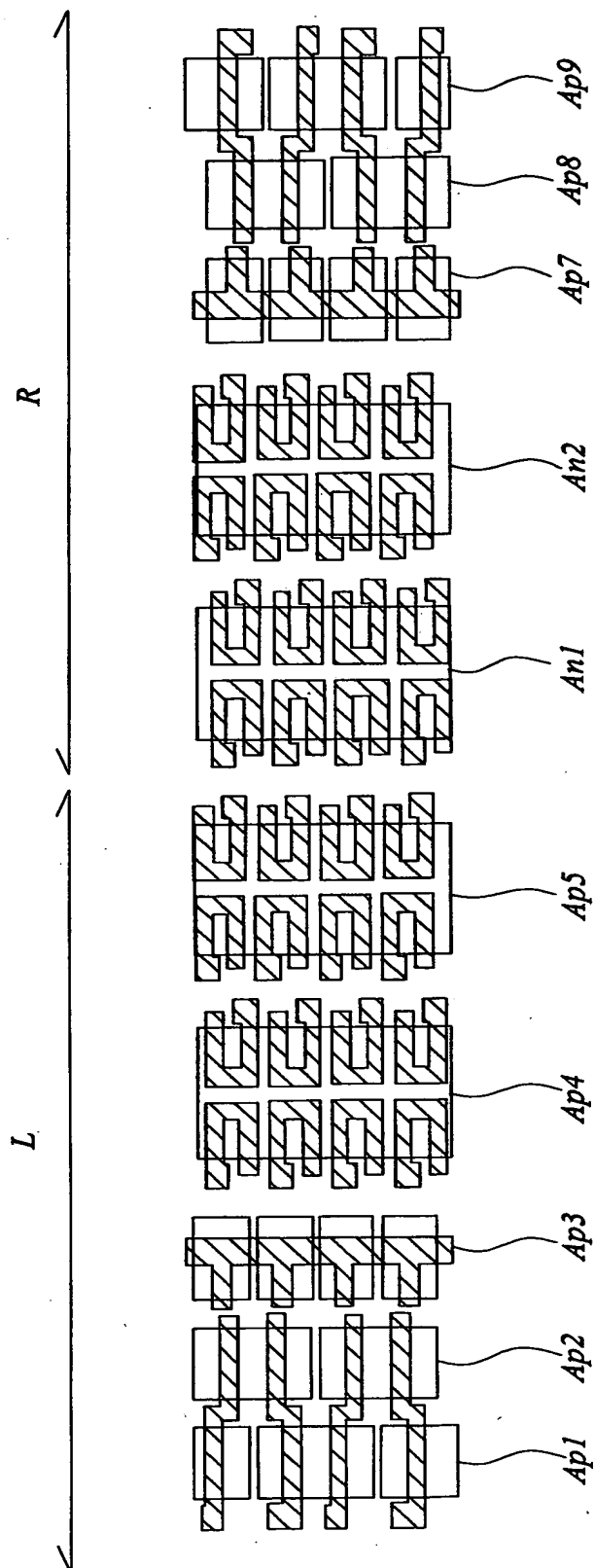


【図 6】

図 6

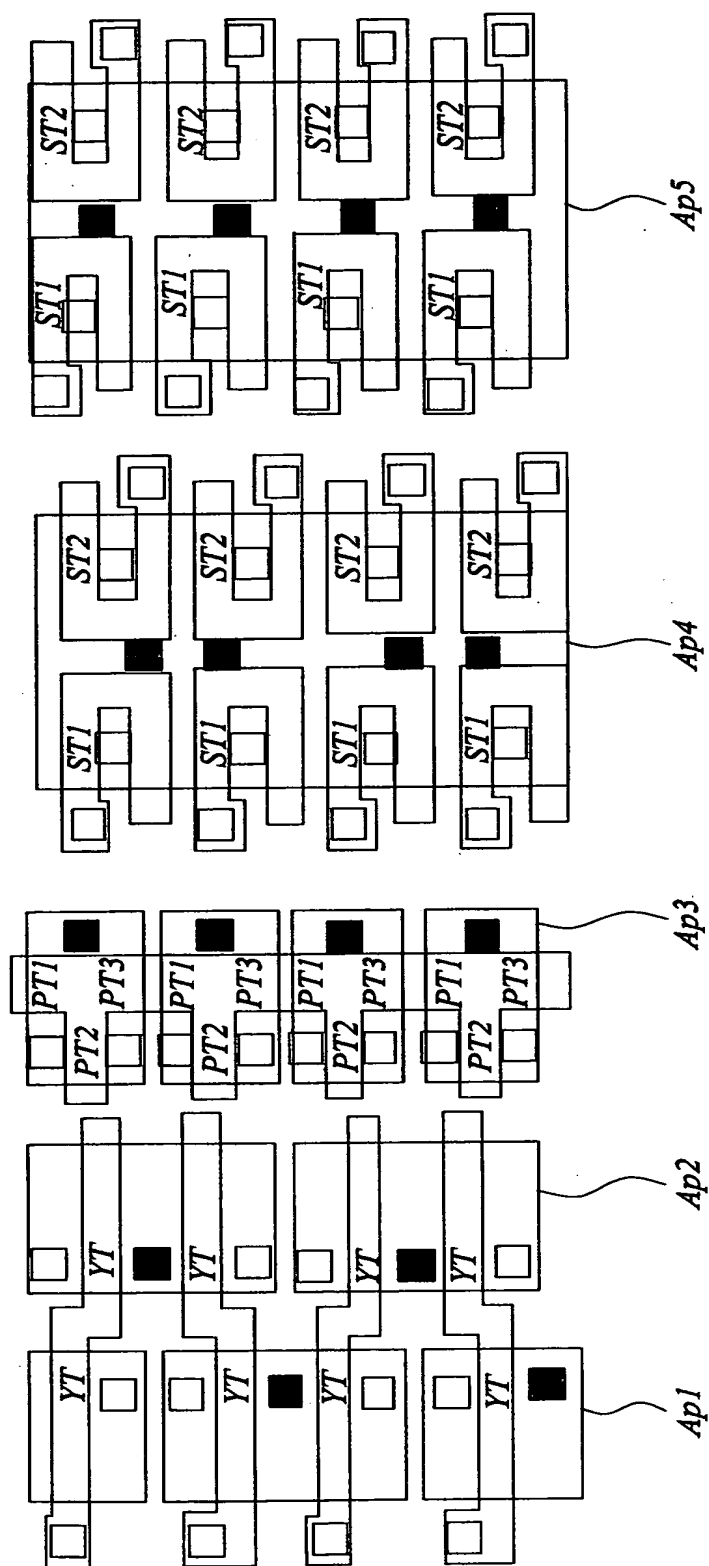


【图 7】

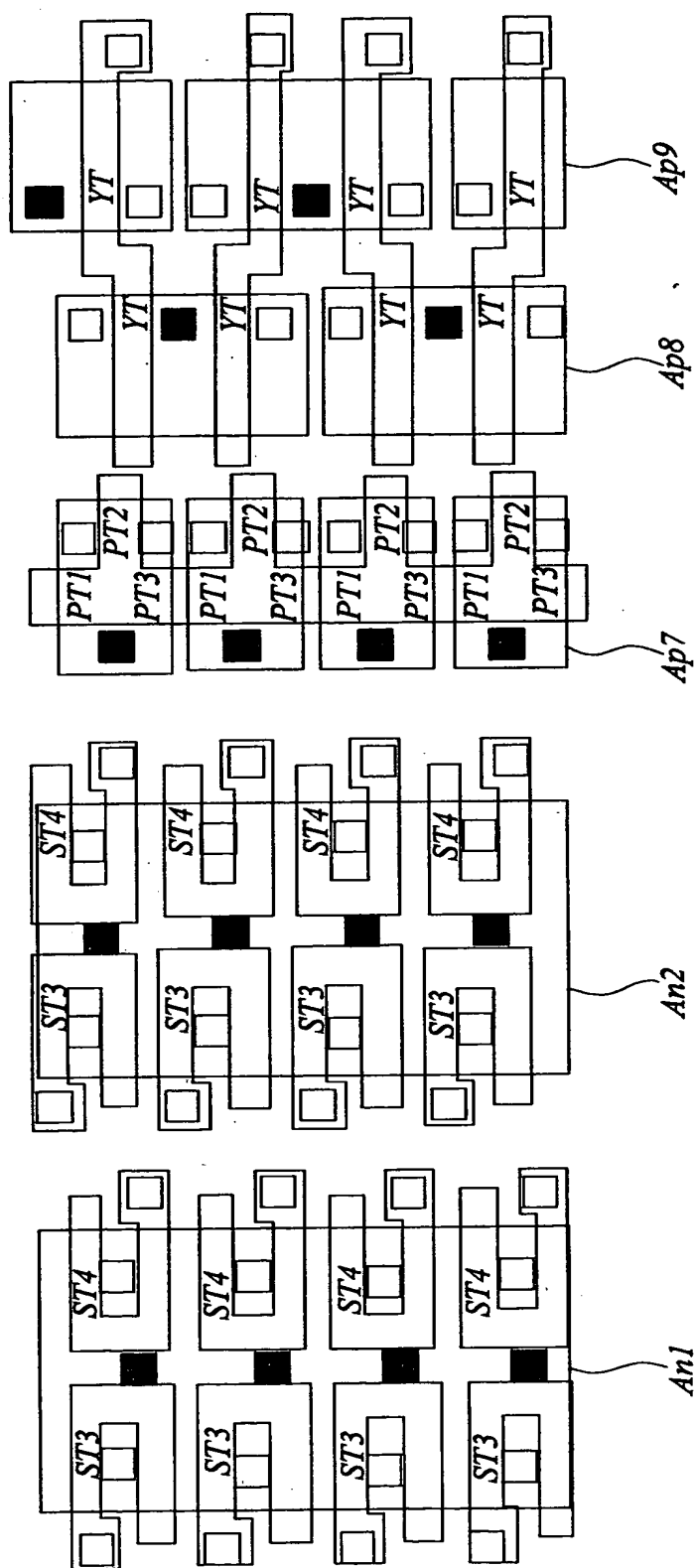


【図 8】

8

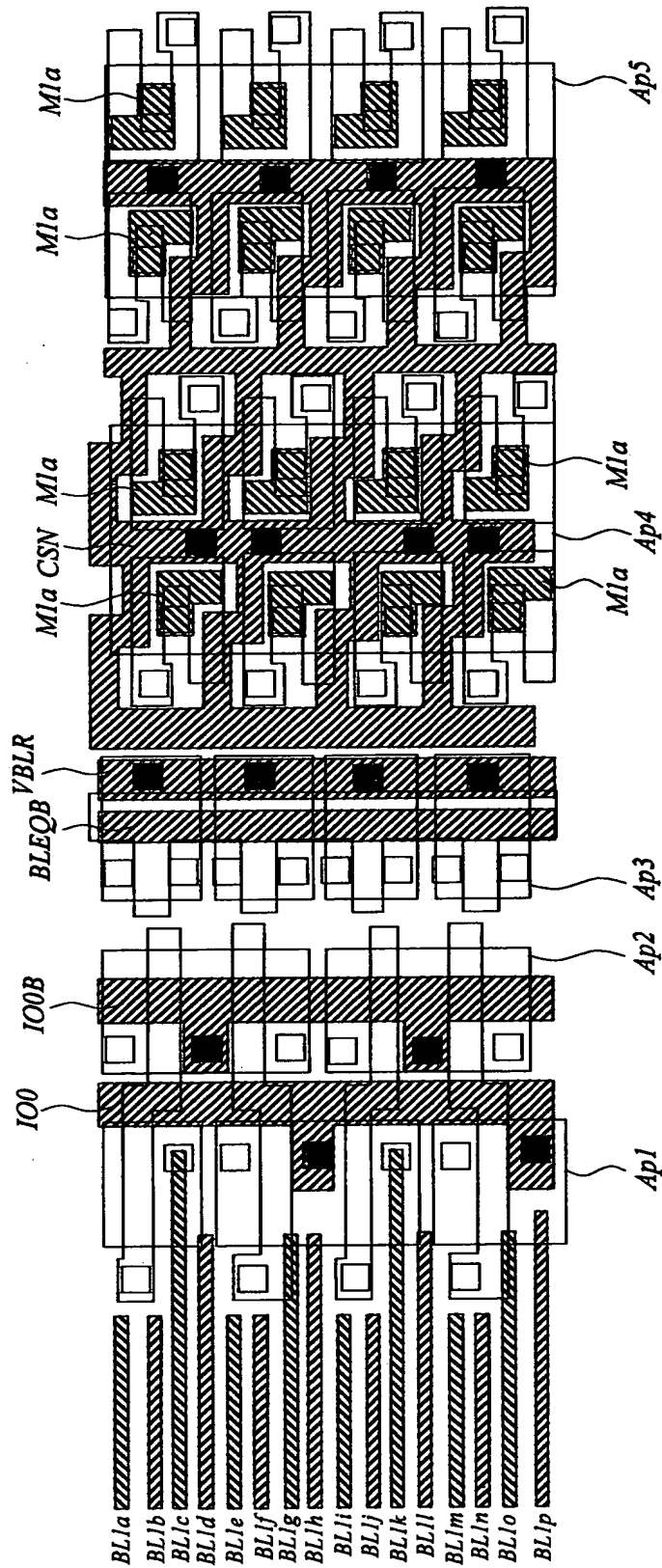


【图9】



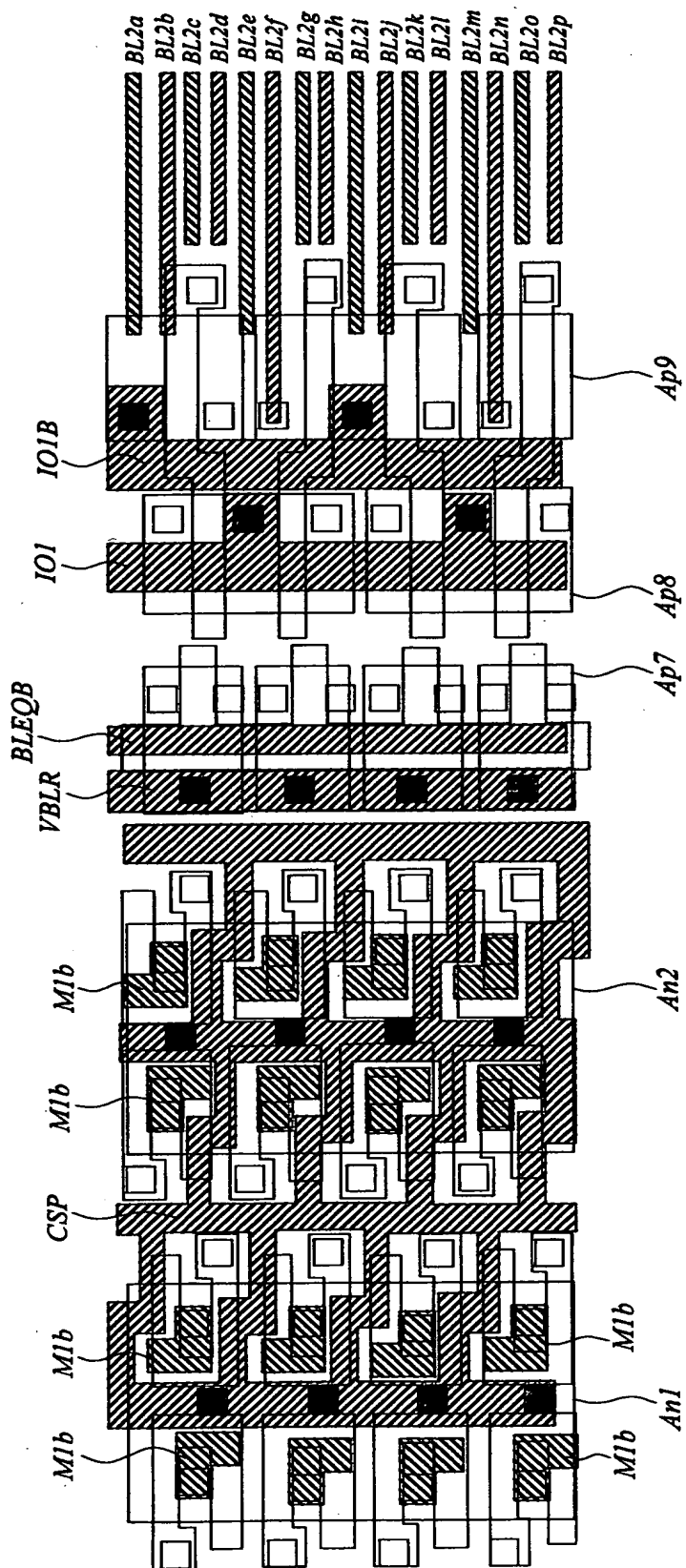
【図10】

図 10



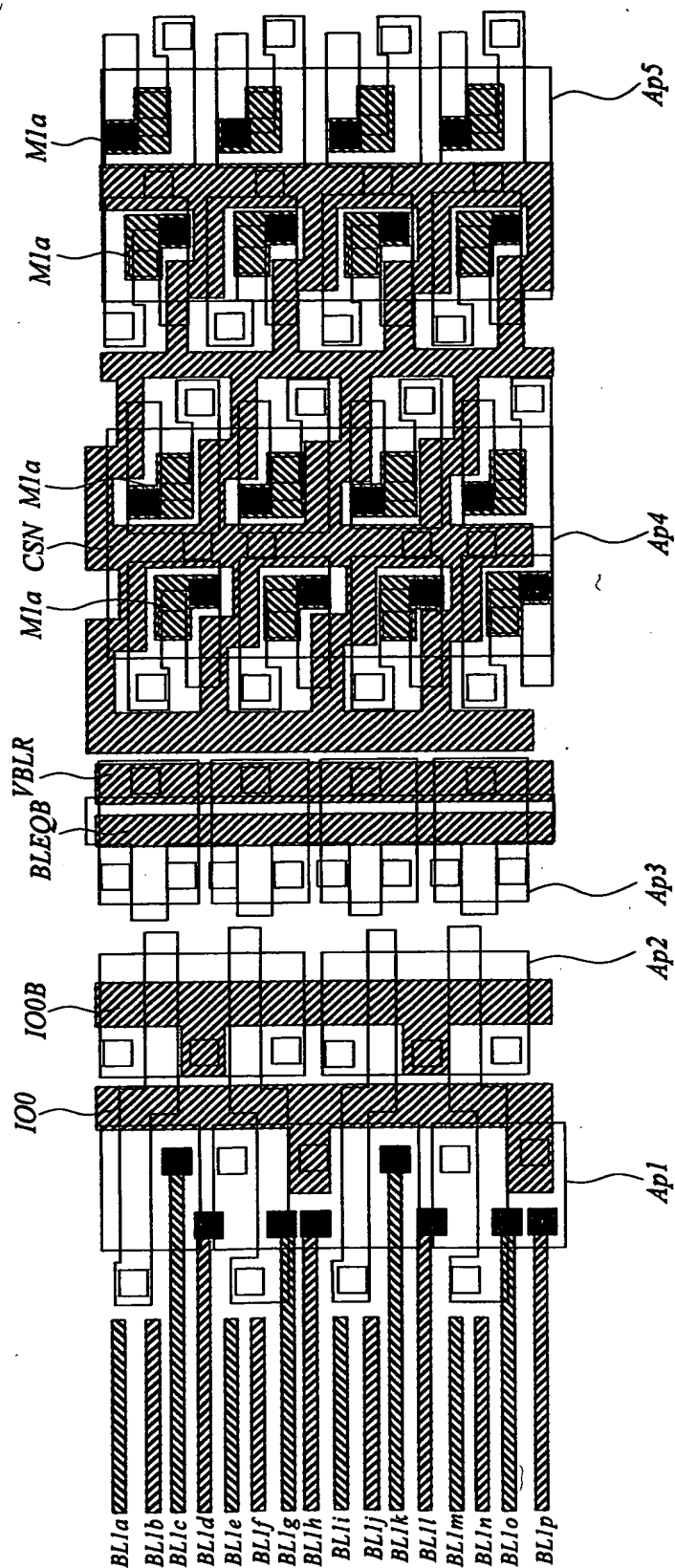
【図 11】

図 11



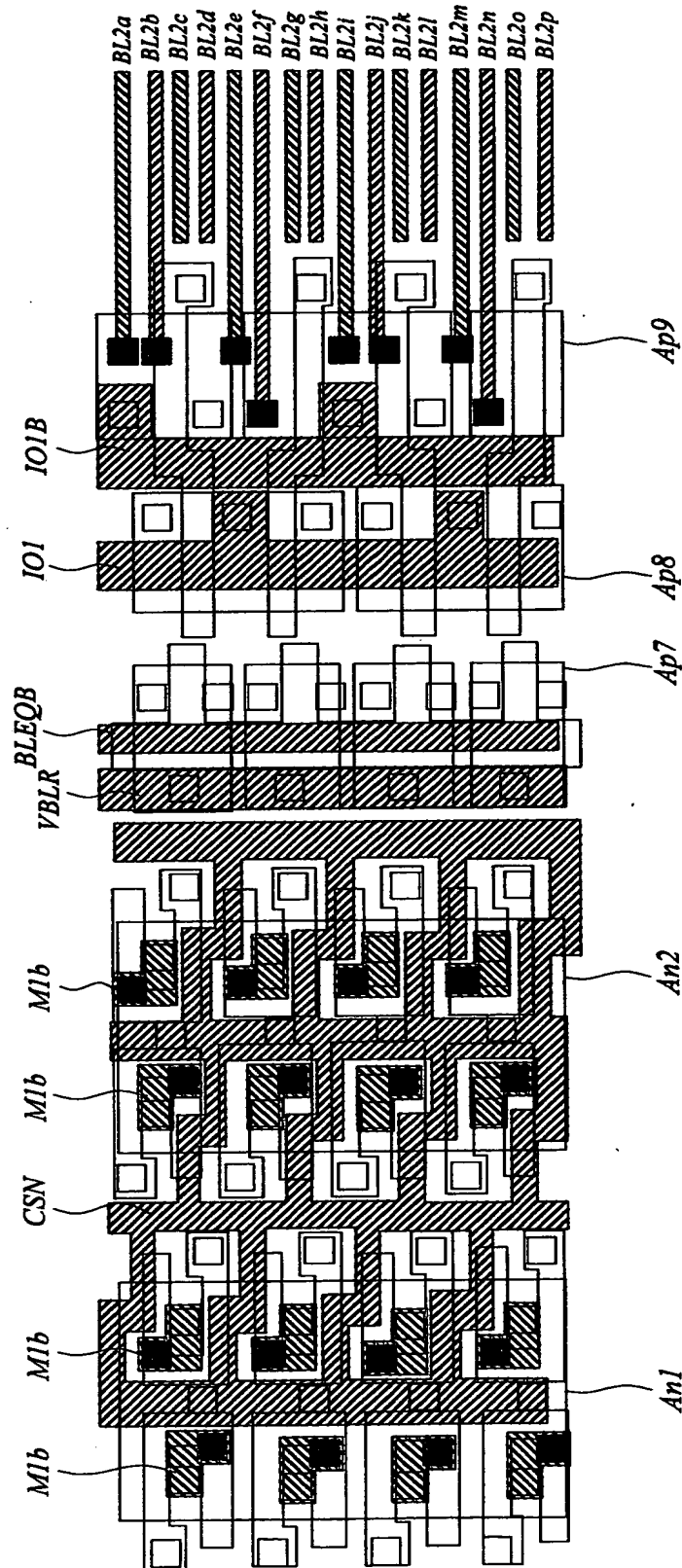
【図 12】

図 12



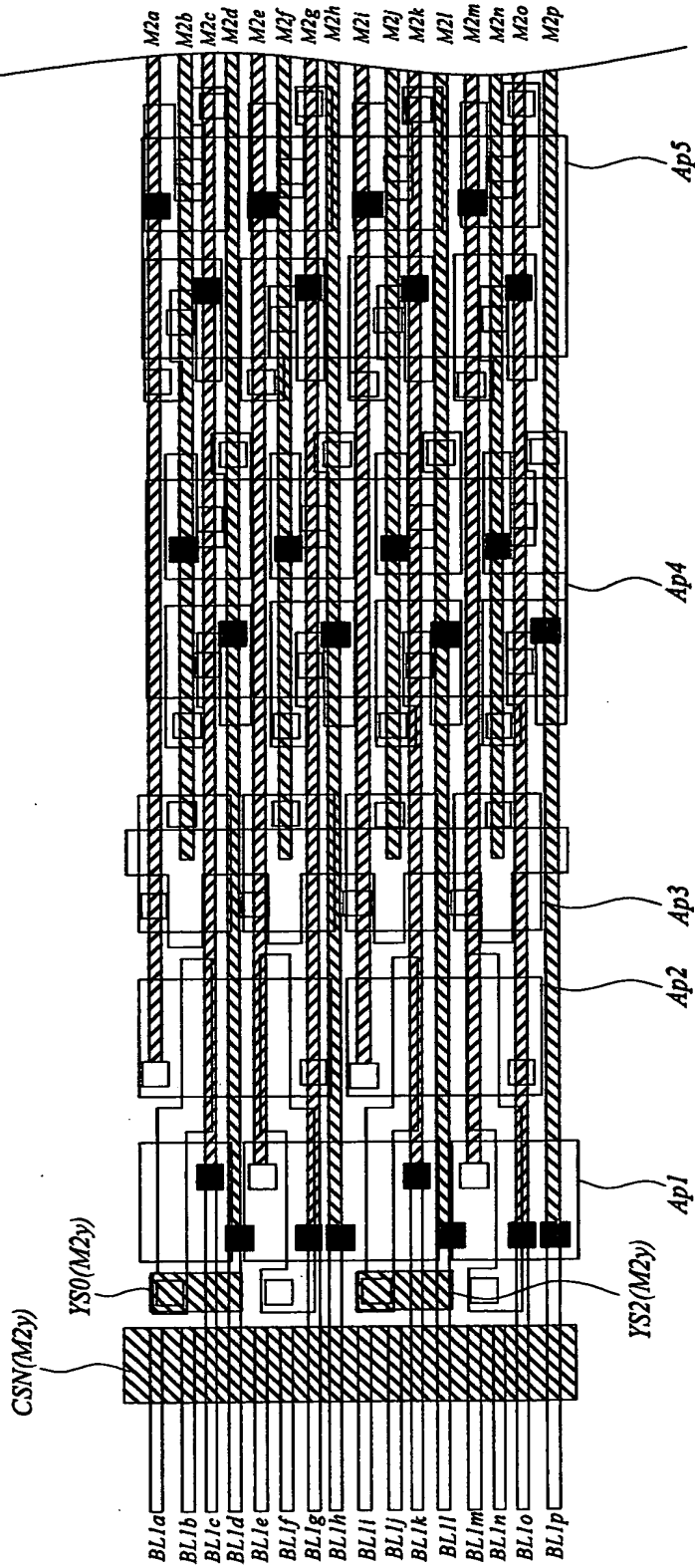
【図13】

図 13



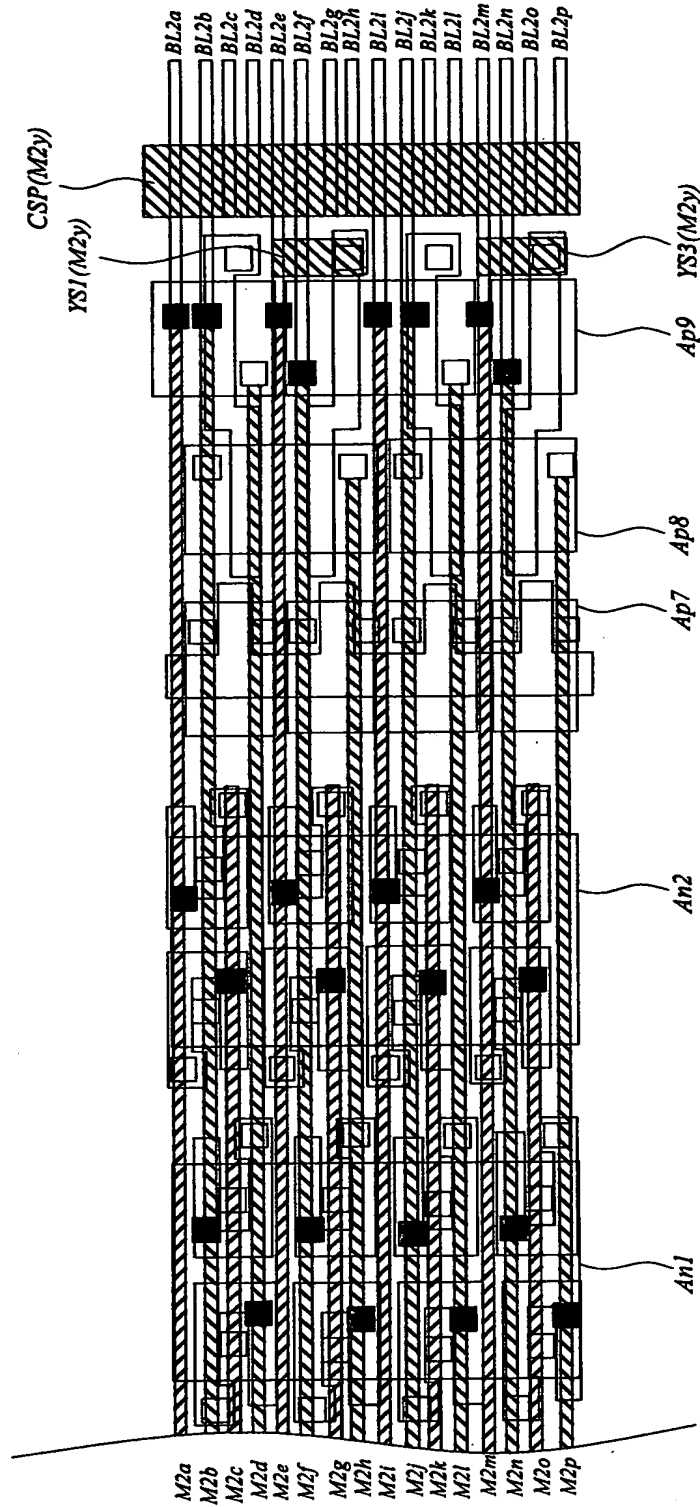
【図 14】

図 14



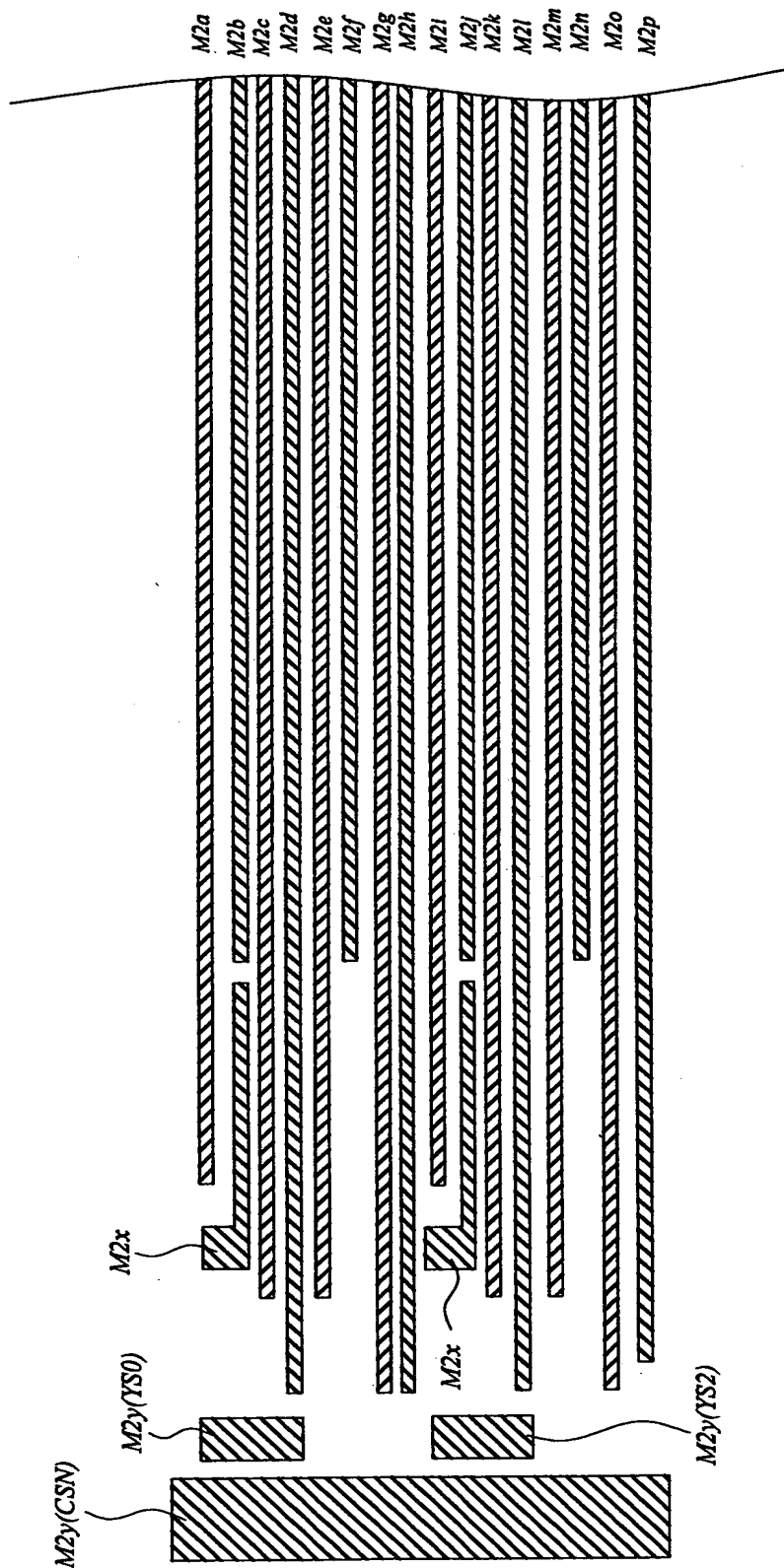
【図 15】

図 15



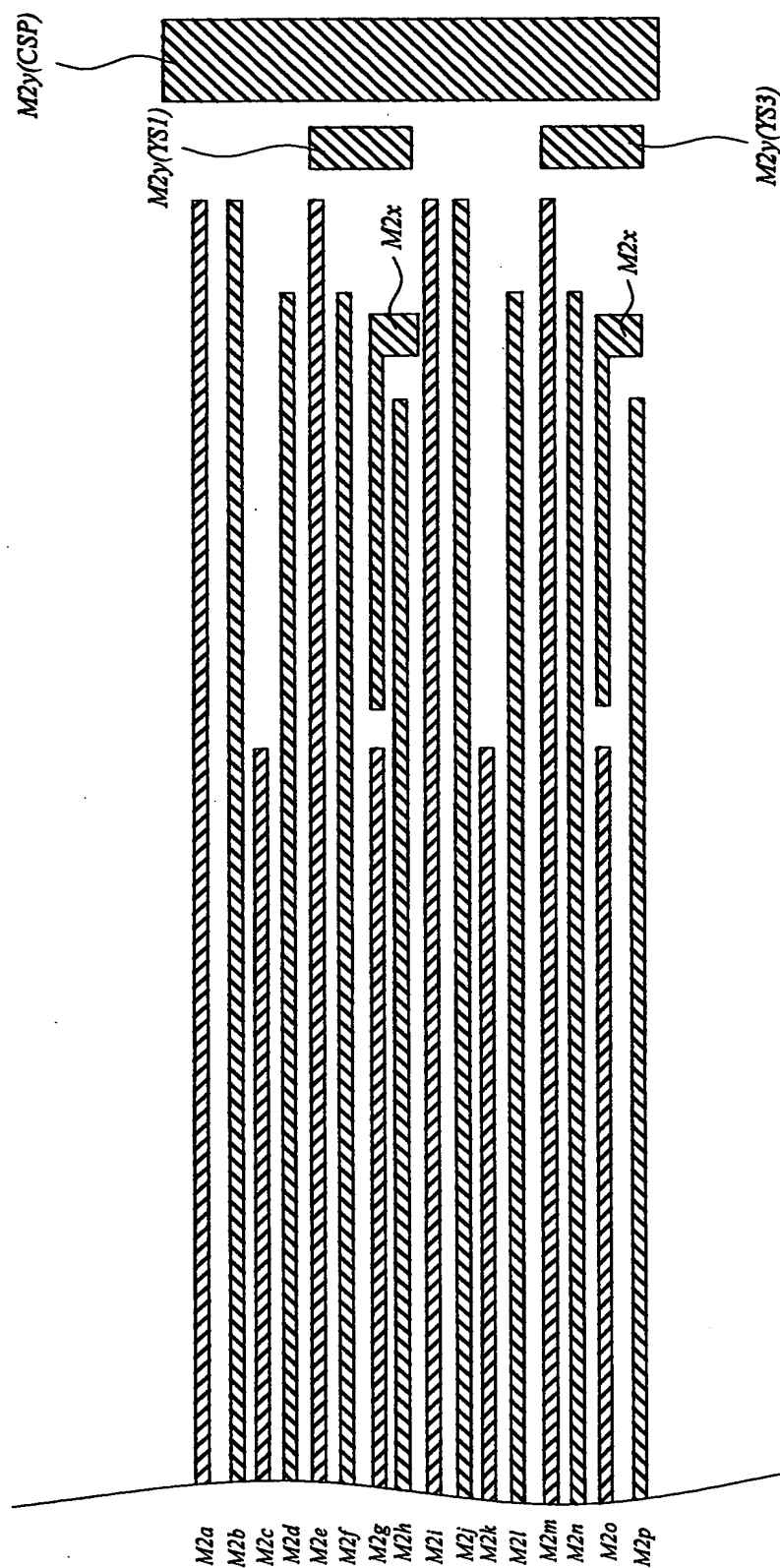
【図 16】

図 16



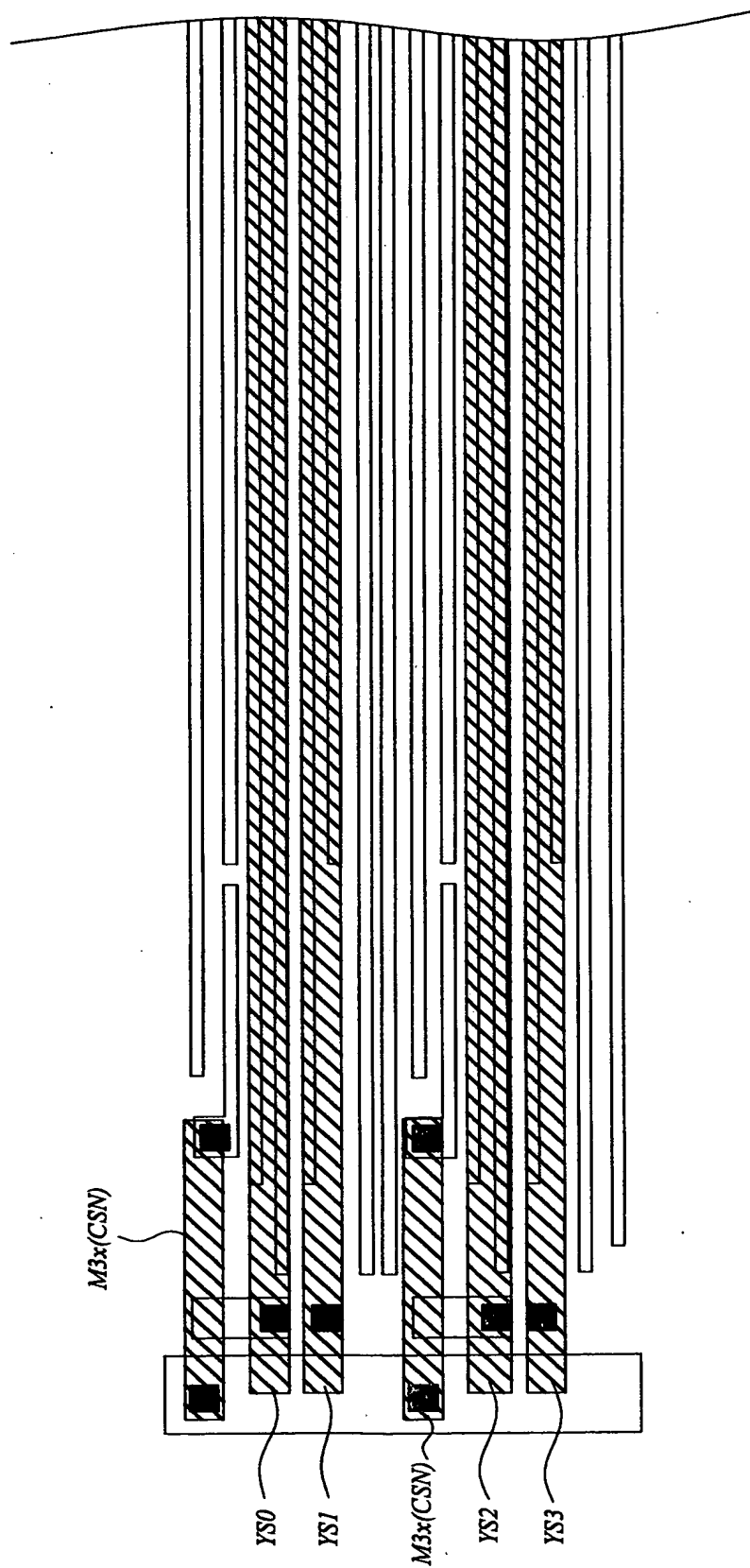
【図 17】

図 17



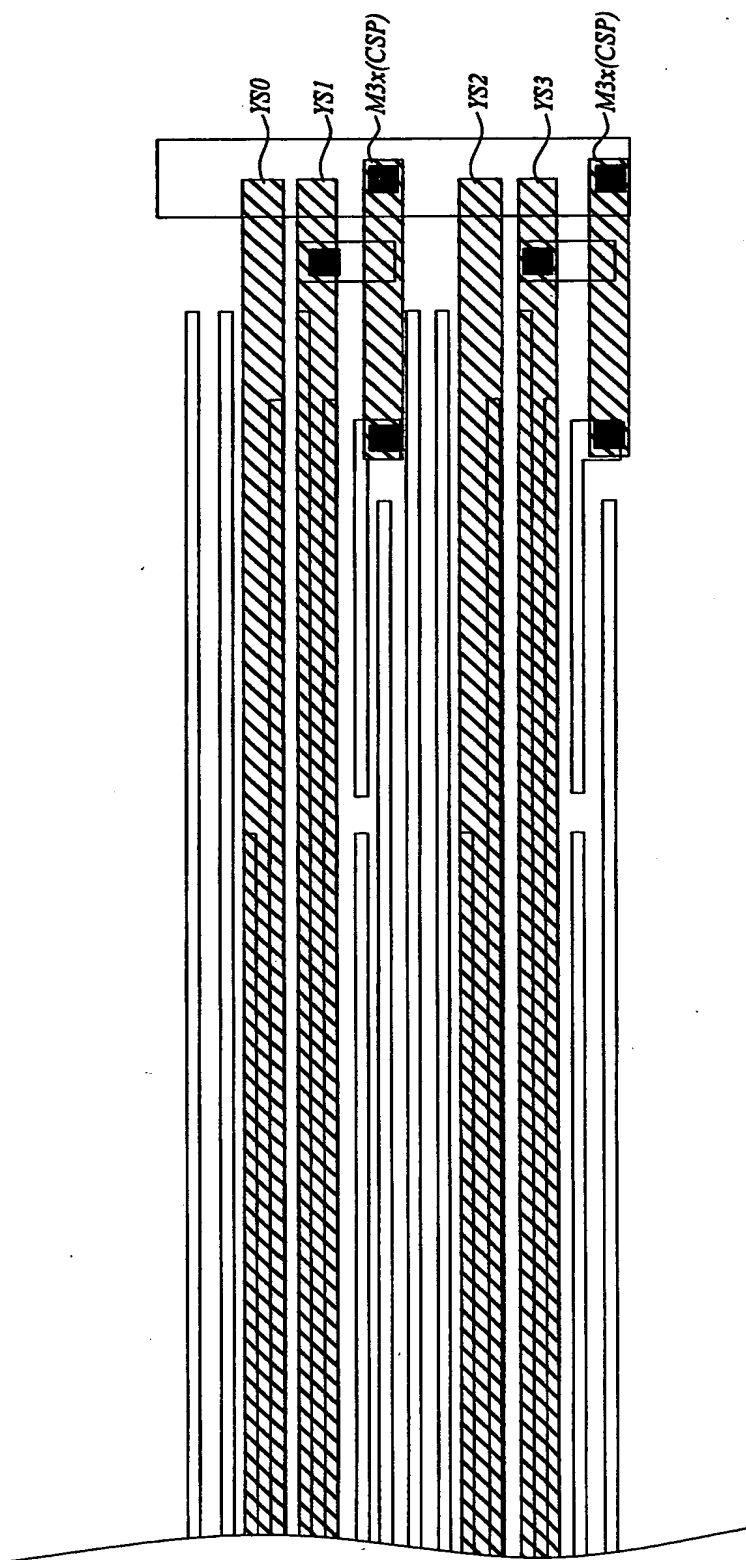
【図18】

図 18



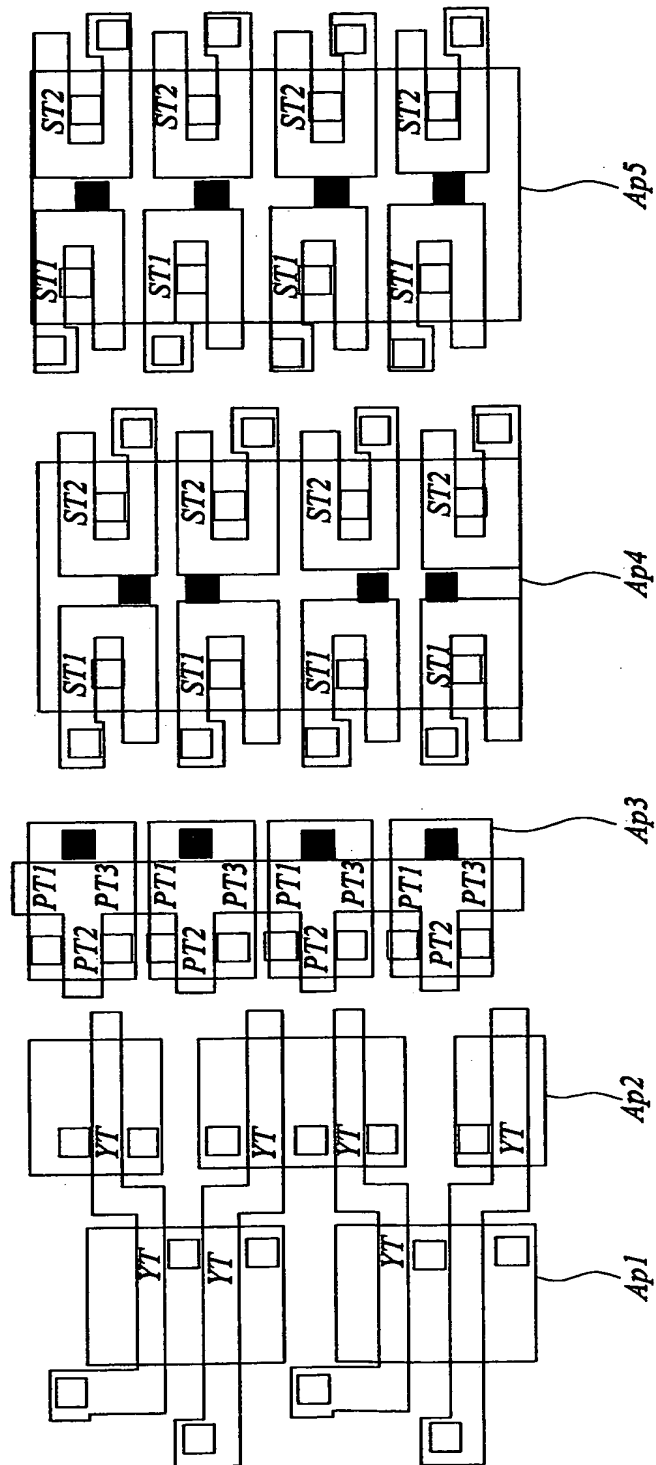
【図 19】

図 19



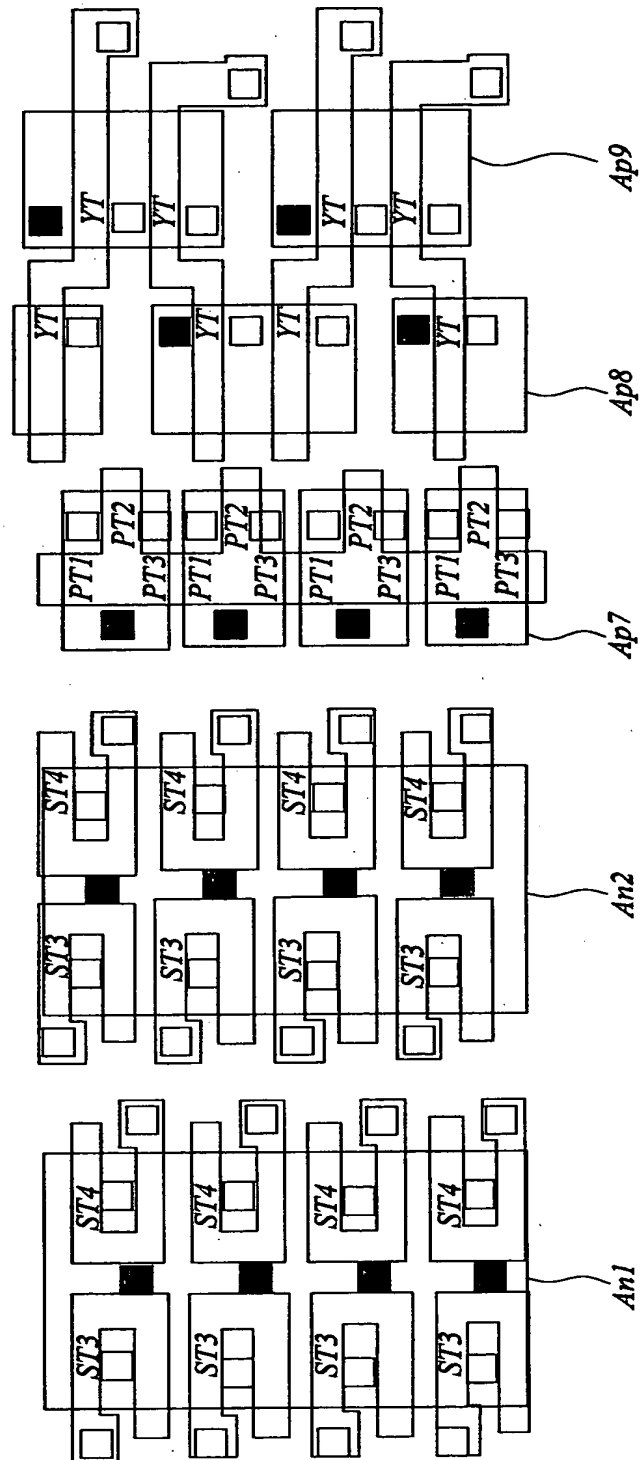
【図 20】

図 20



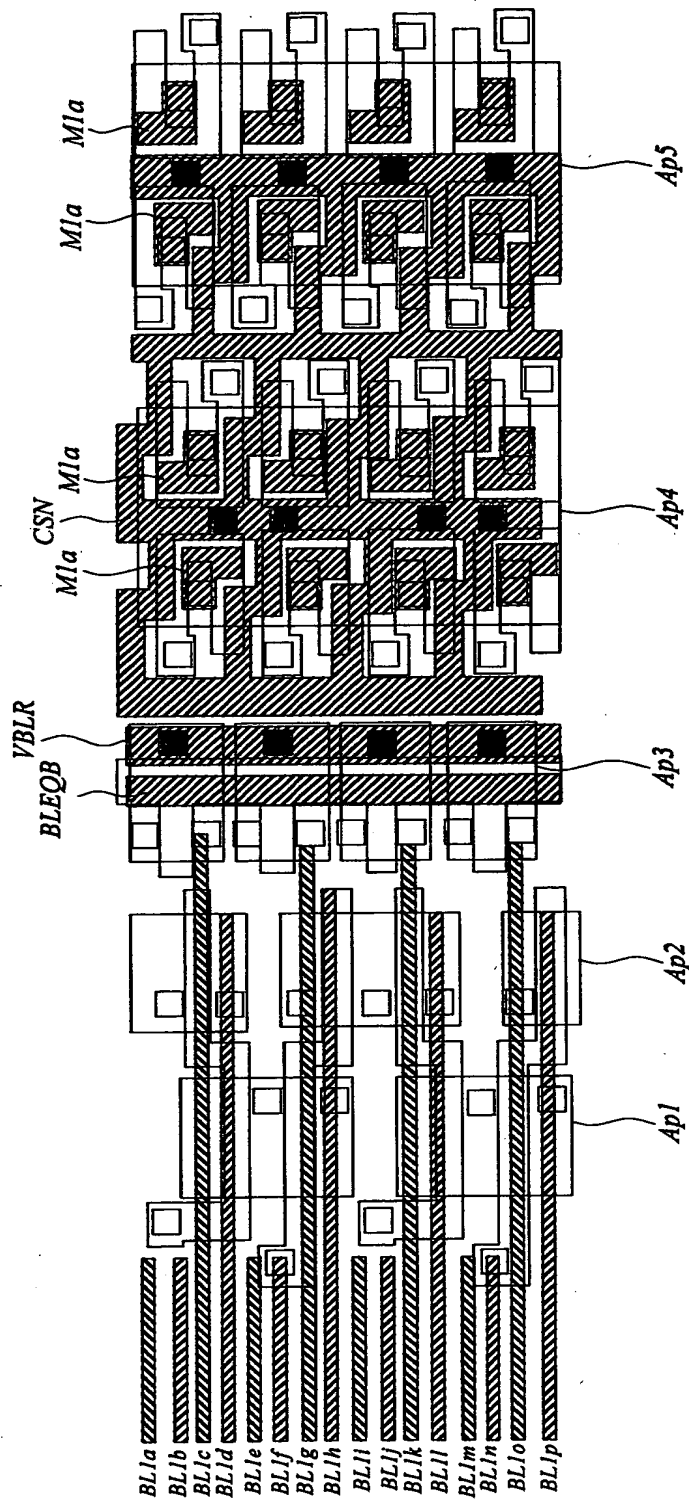
【図21】

図 21



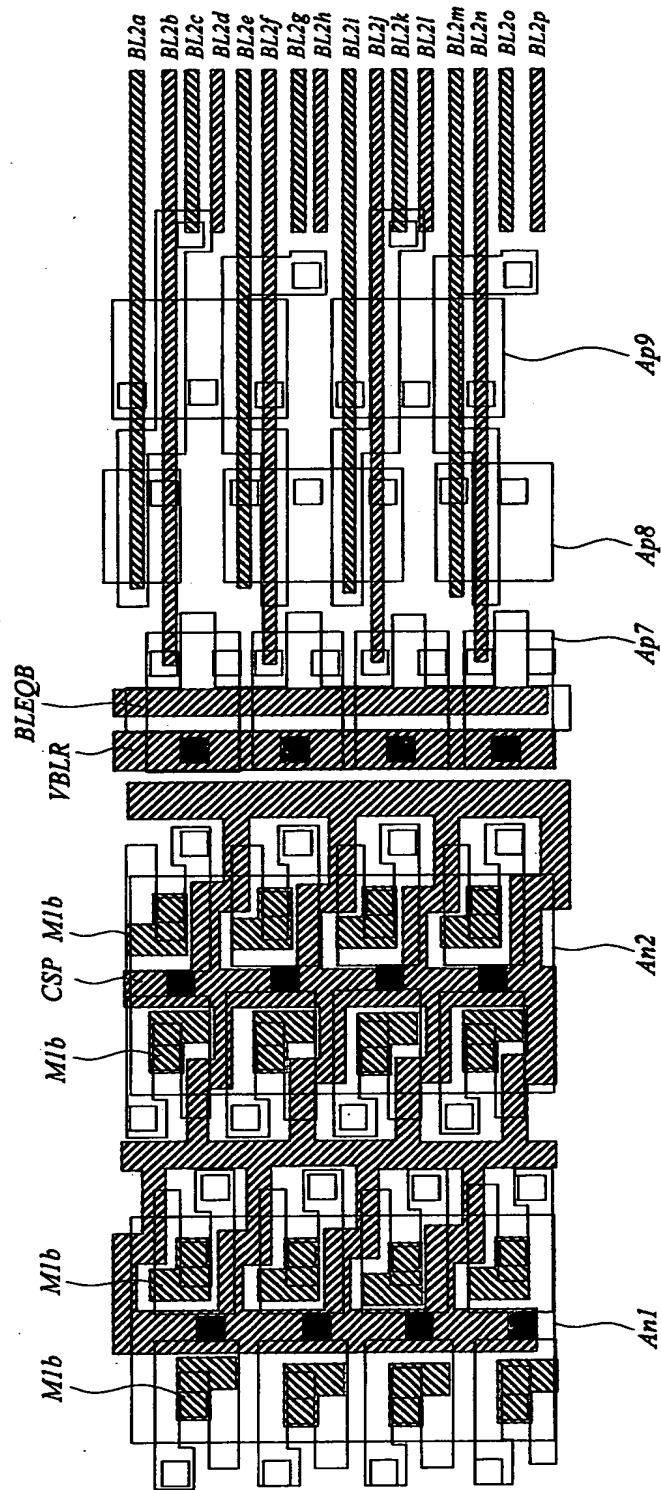
【図 22】

図 22



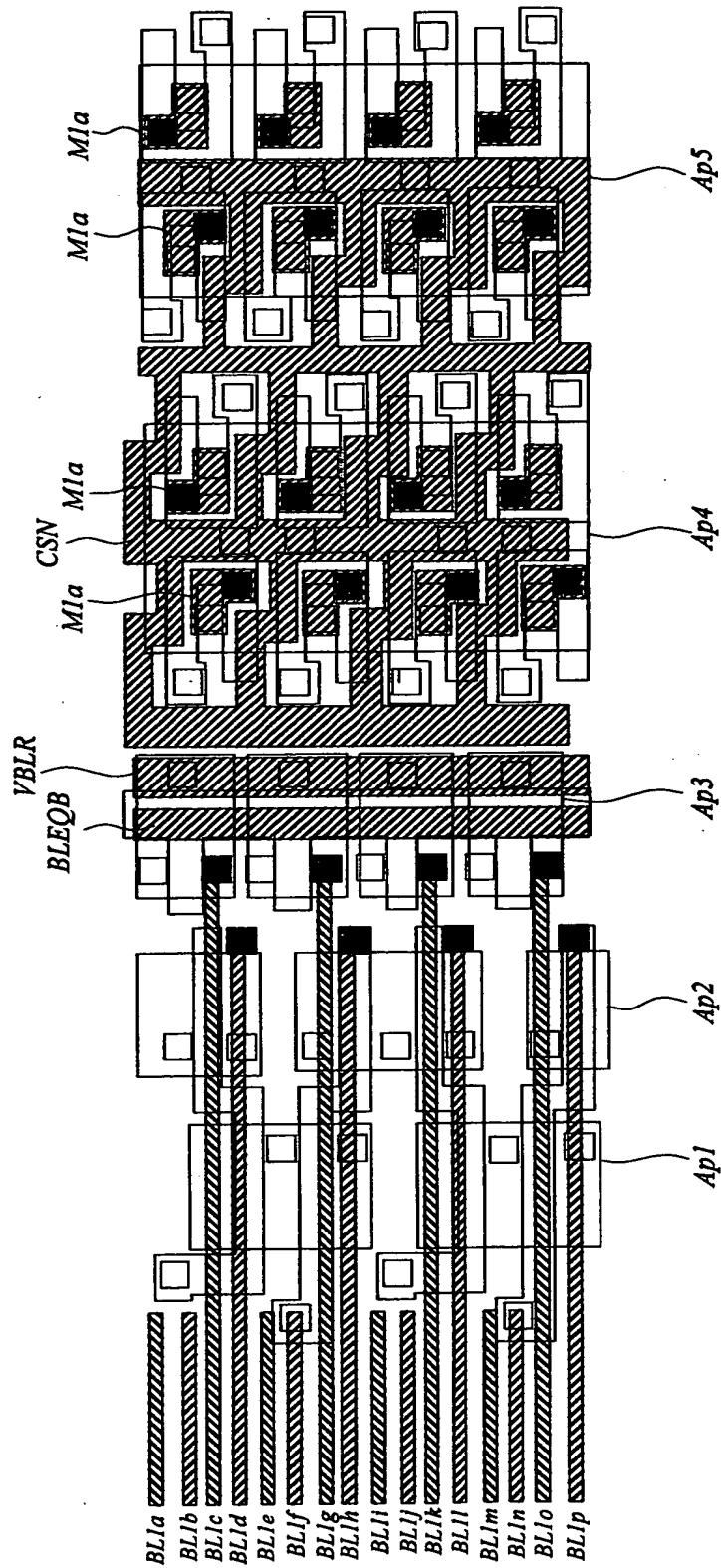
【図 23】

23



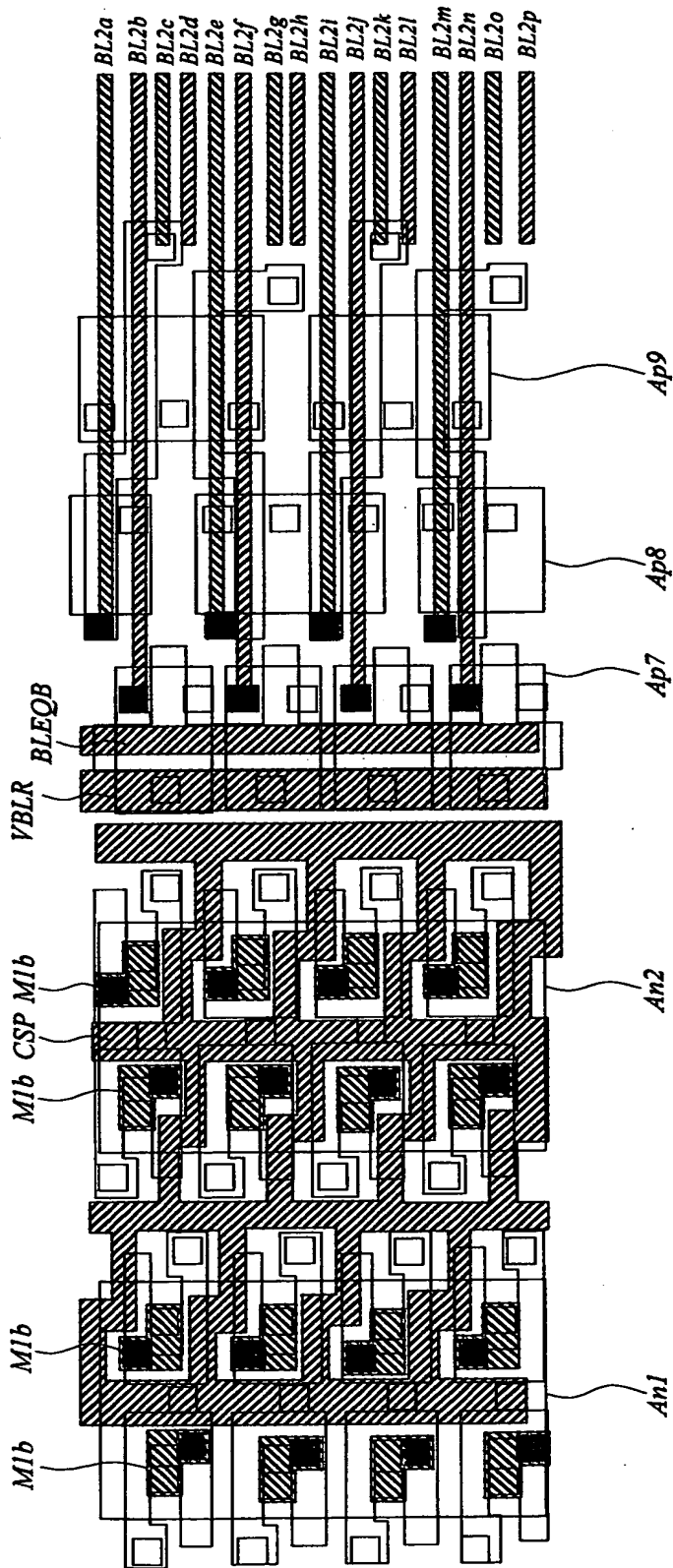
【図 24】

24



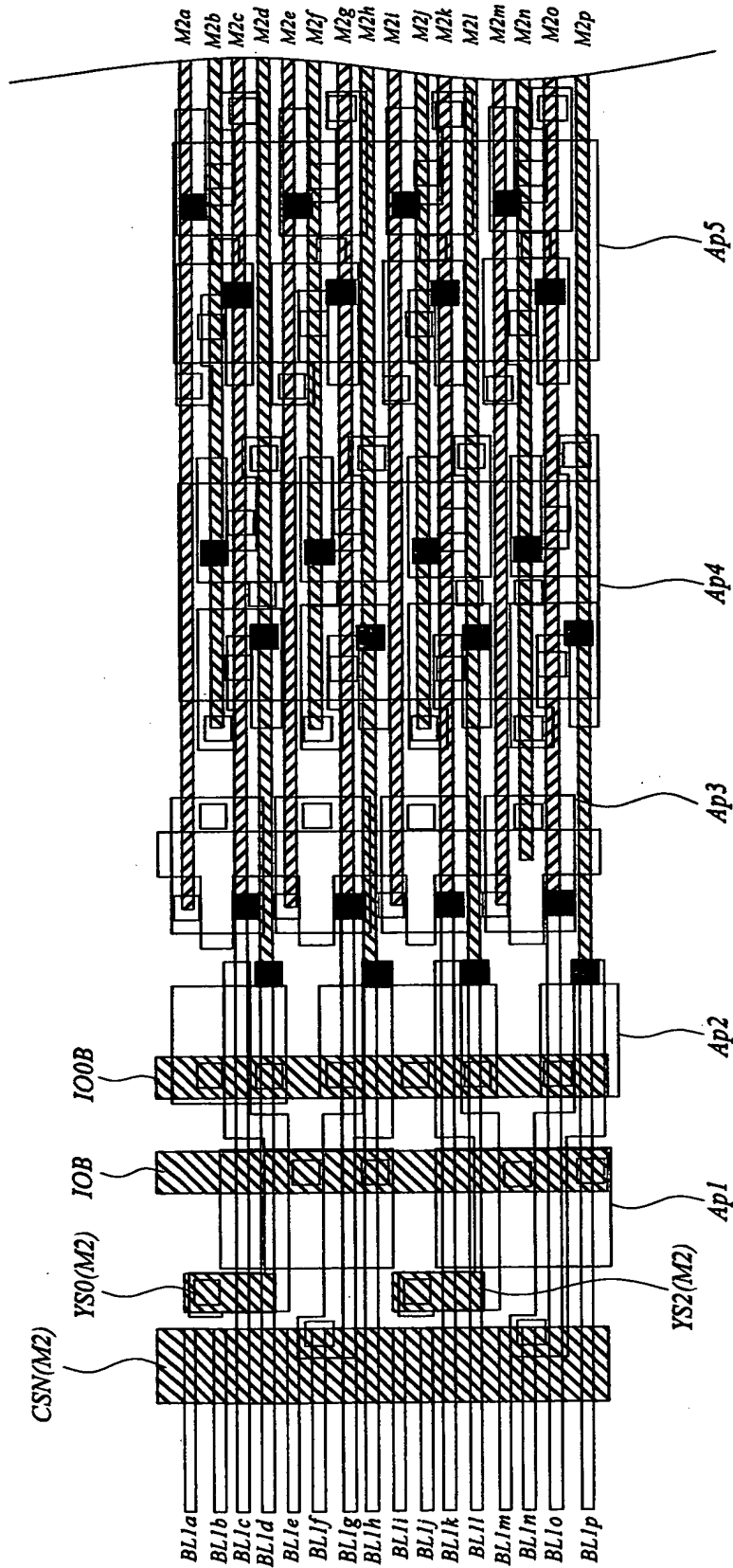
【図 25】

25



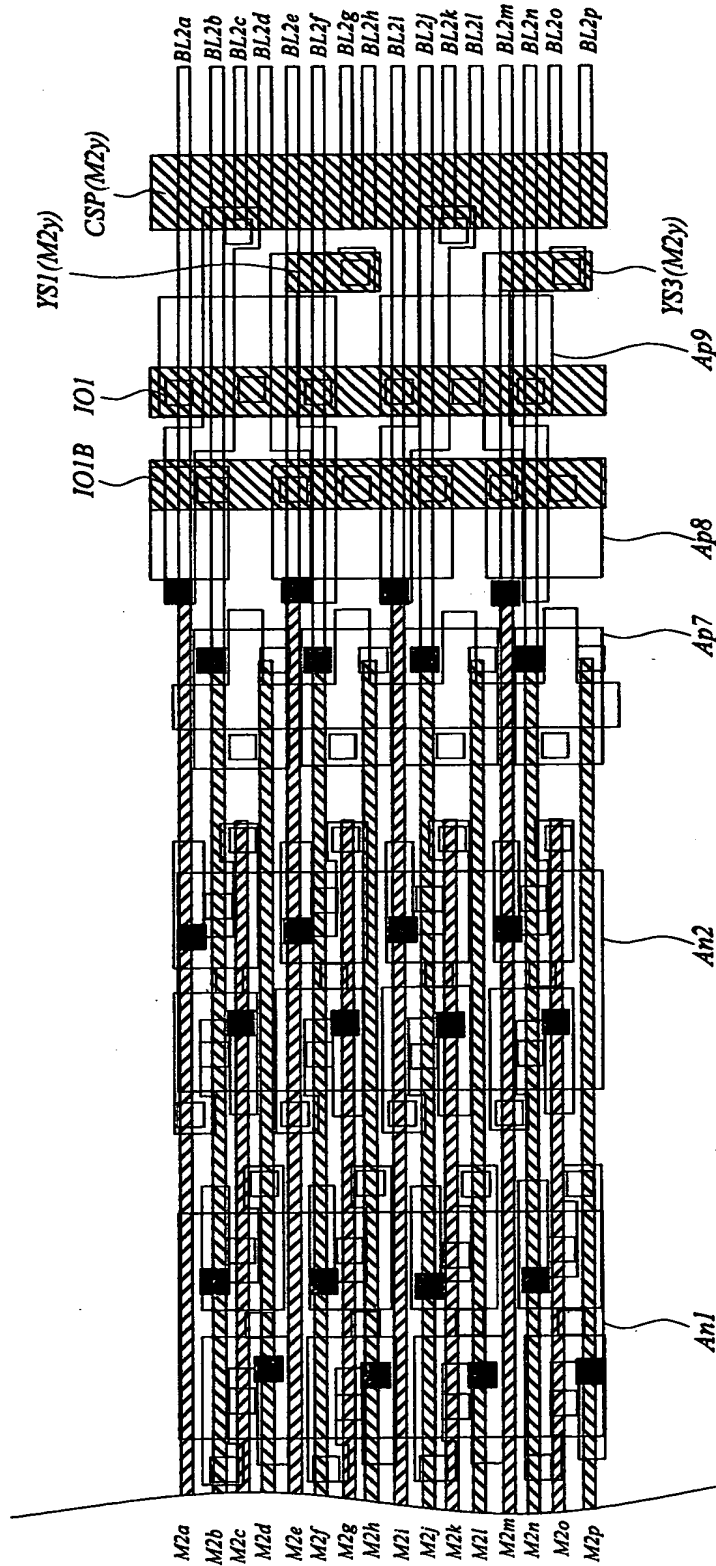
【図 26】

図 26



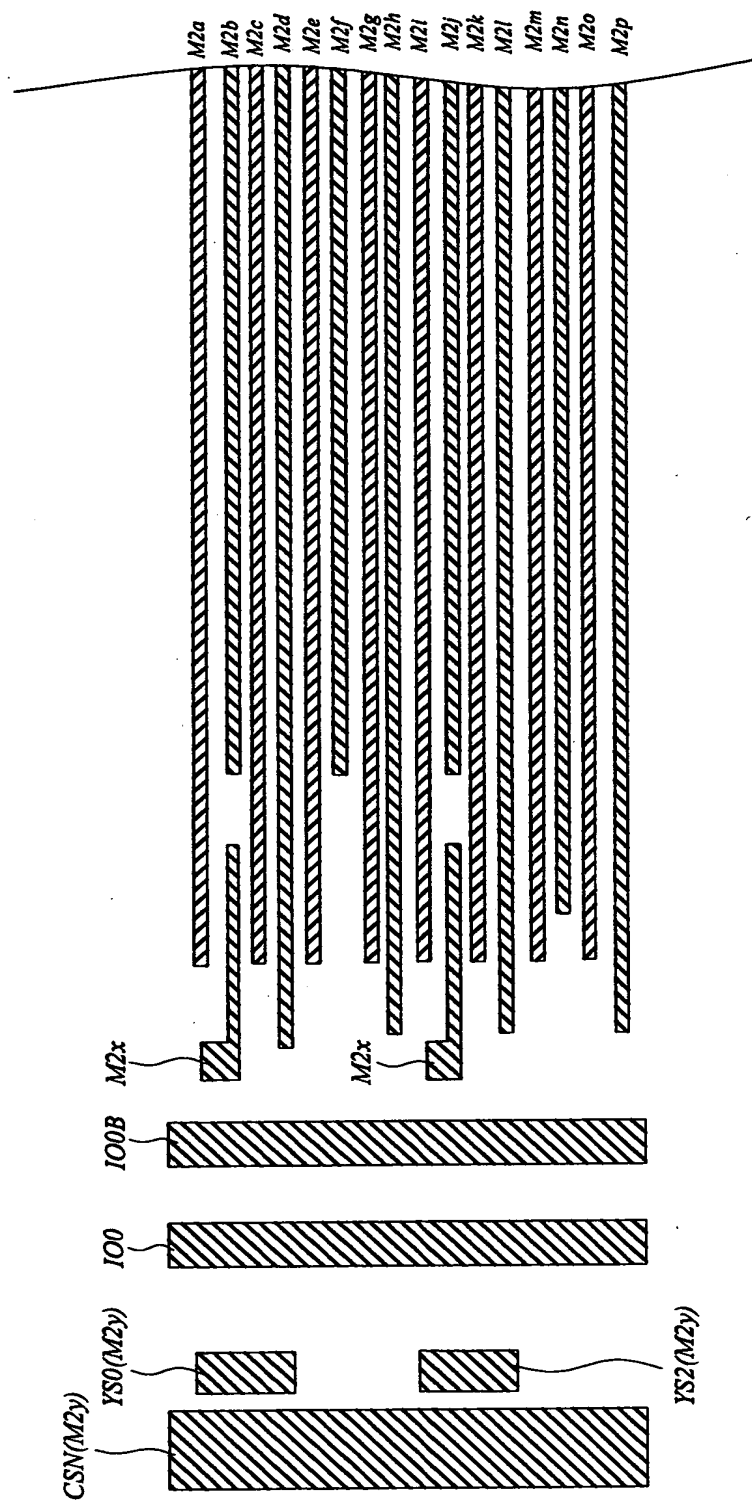
【図27】

図 27



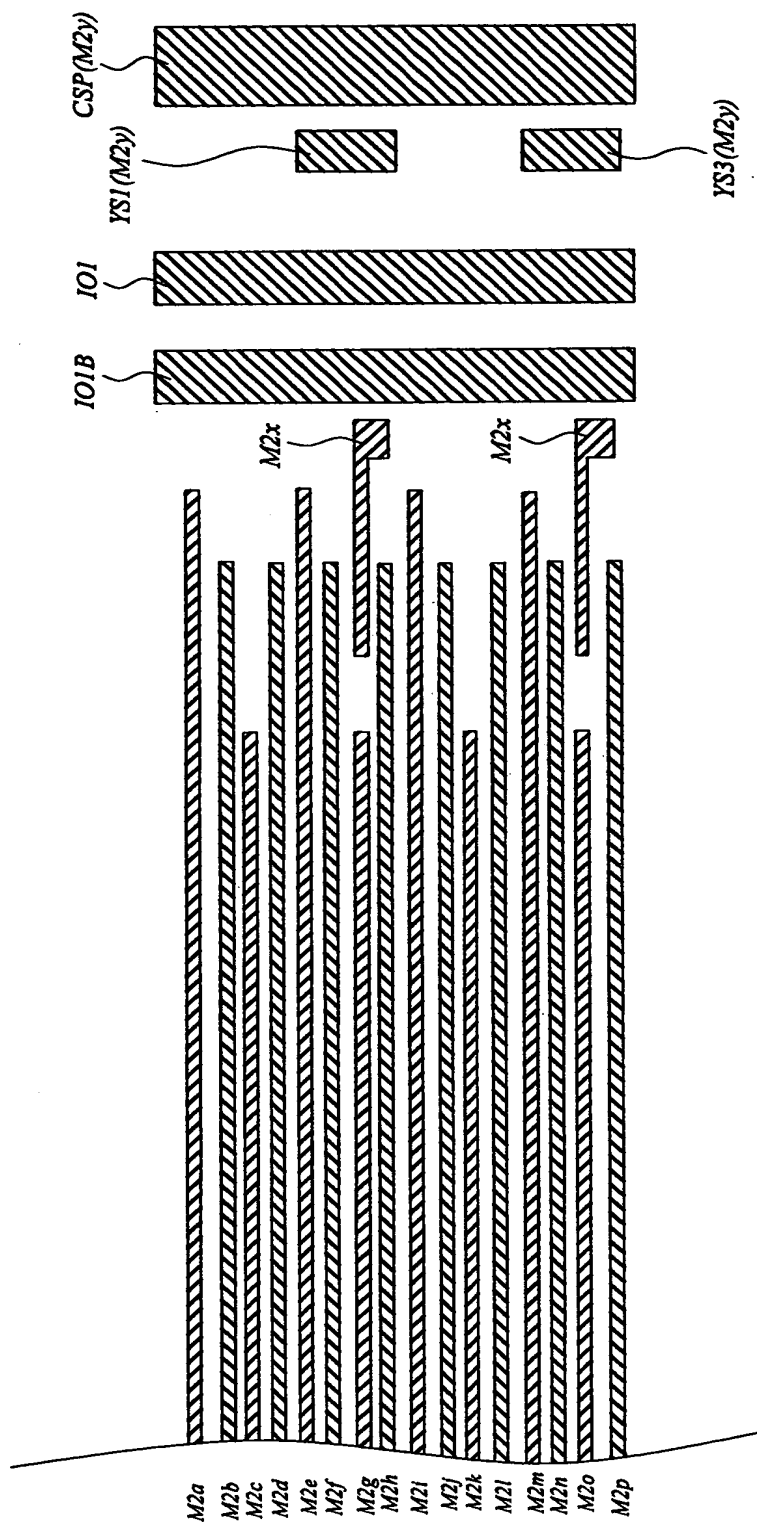
【図 28】

図 28



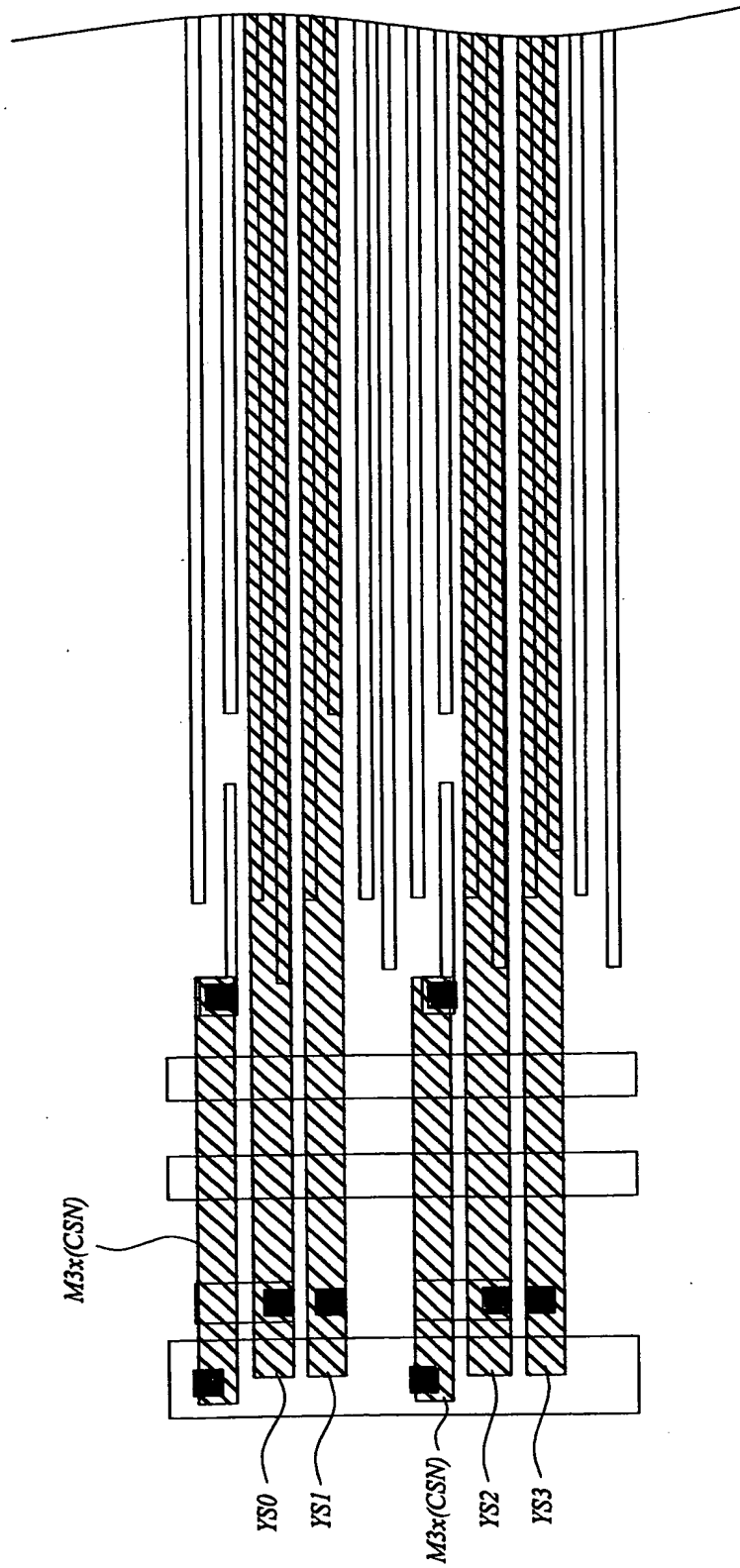
【図 29】

図 29



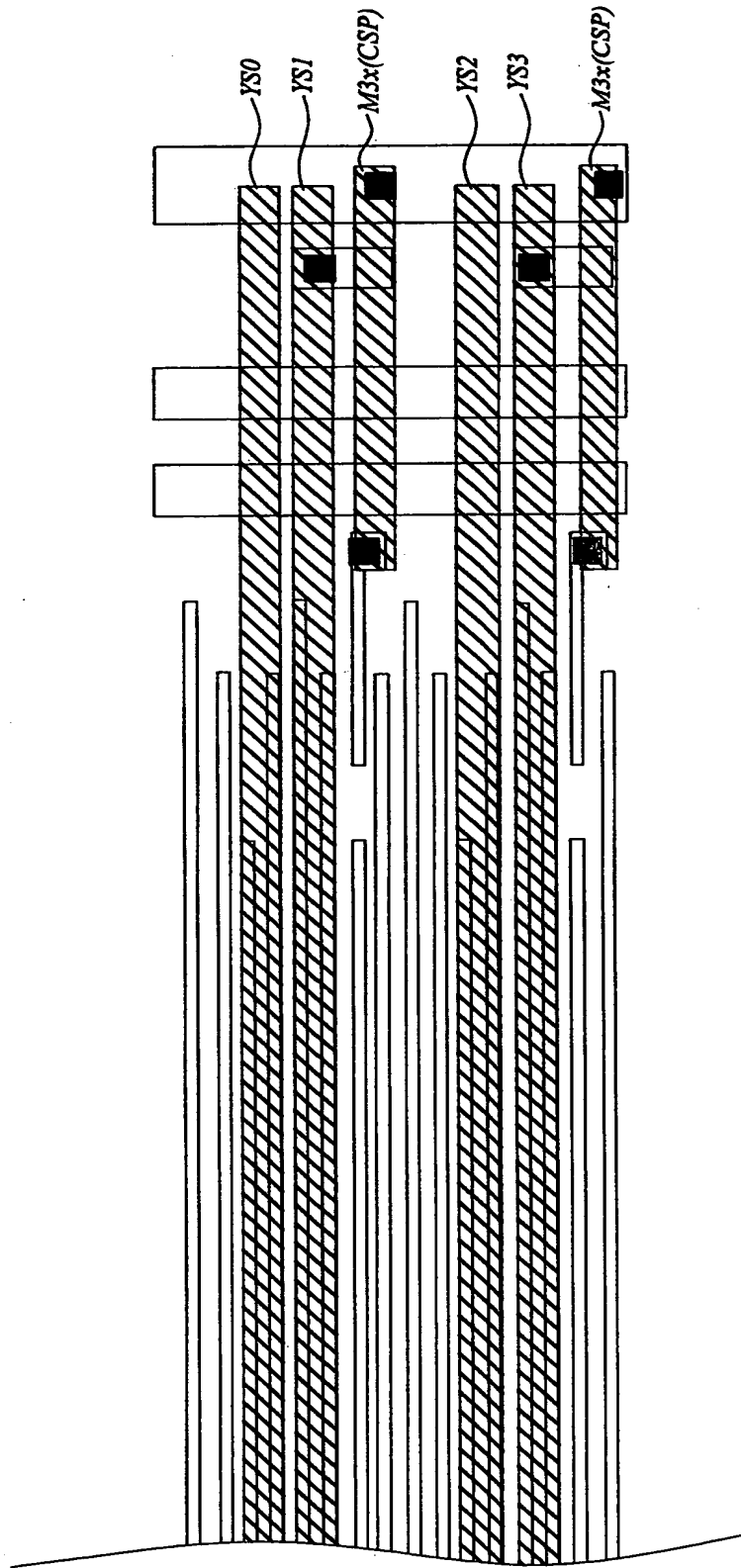
【図 30】

図 30



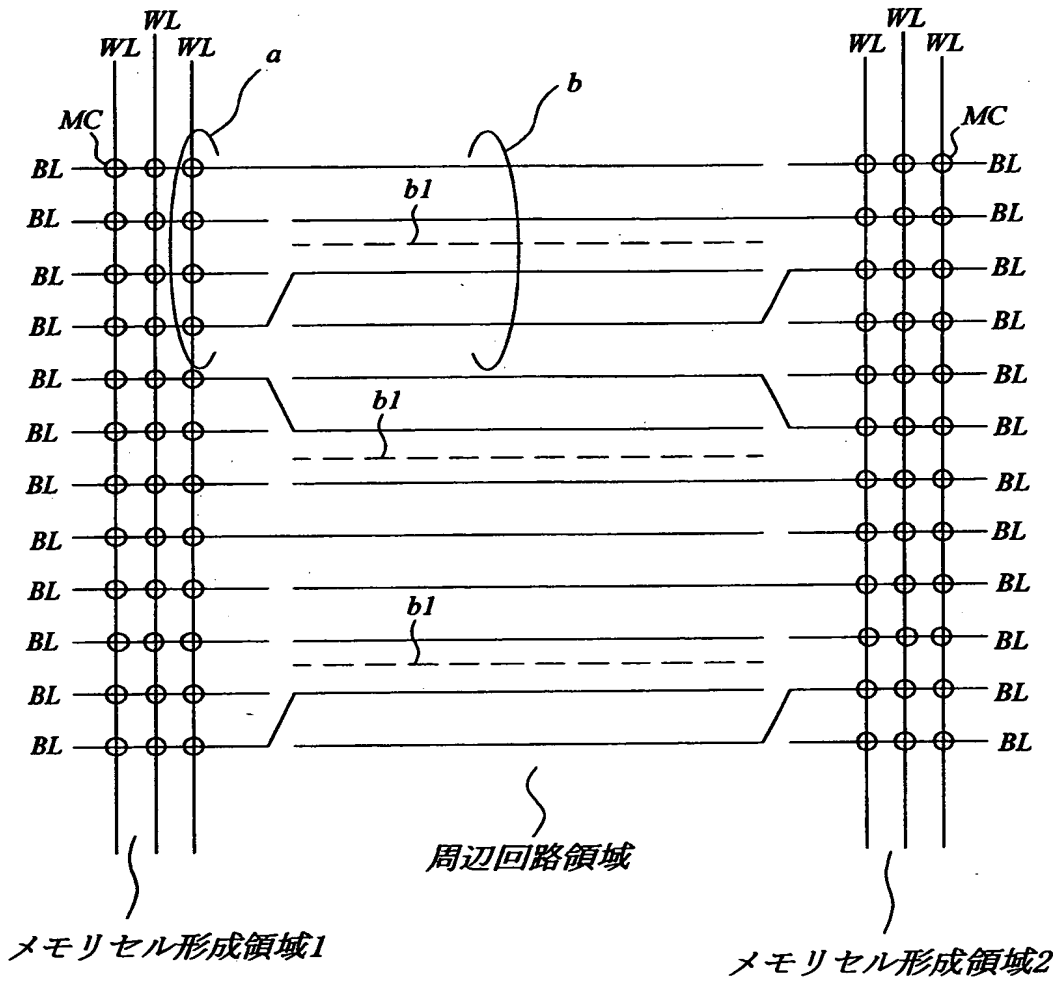
【図31】

図 31



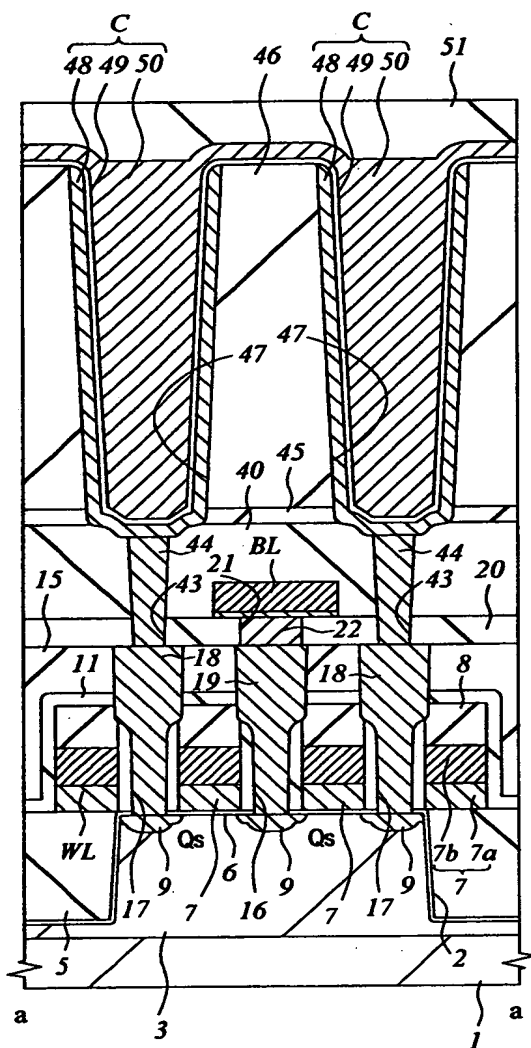
【図32】

図 32



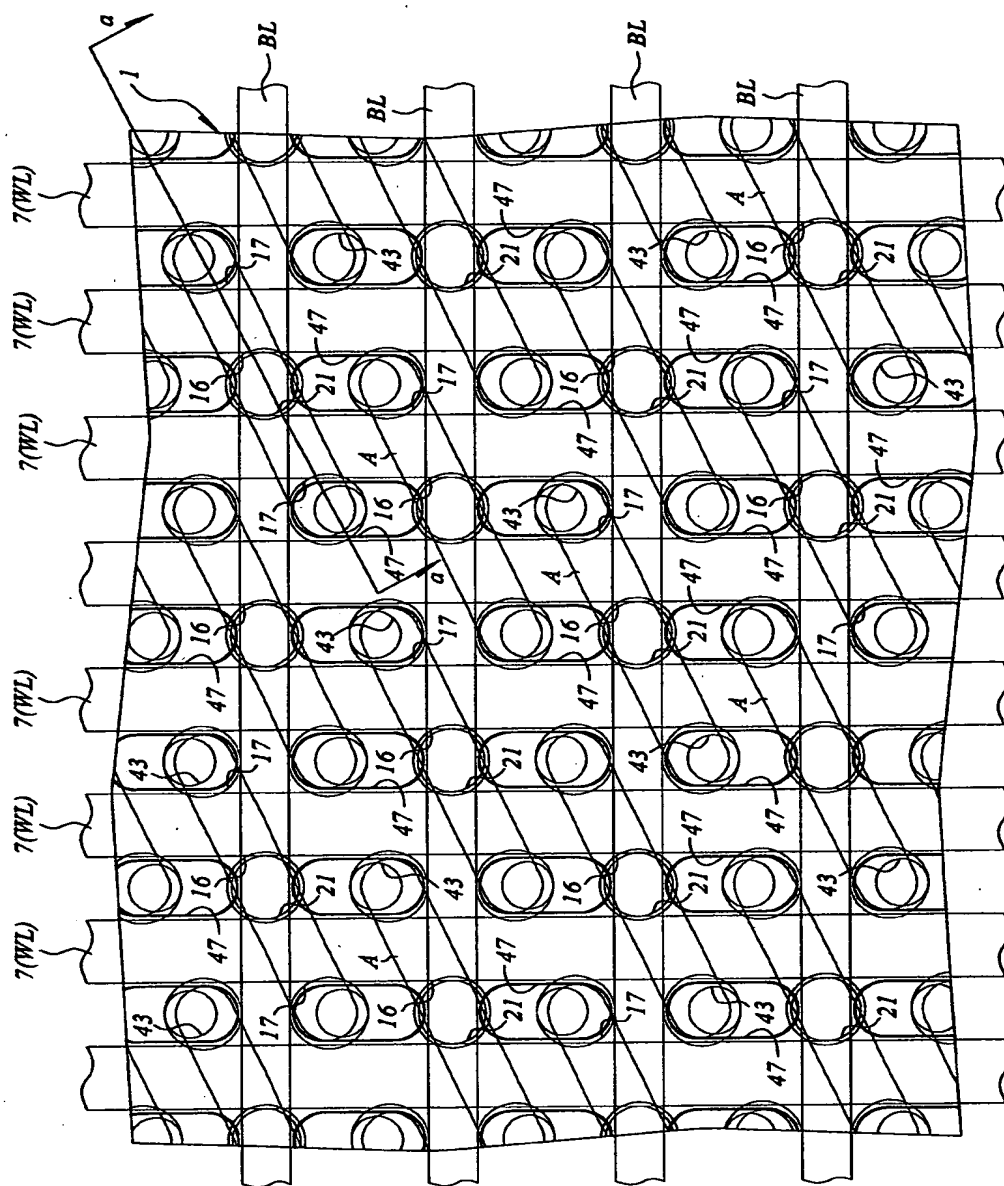
【図 33】

図 33



【図34】

34



【書類名】 要約書

【要約】

【課題】 微細化されたメモリセルのビット線に対応でき、センスアンプ形成領域の占有面積の縮小化を図る。

【解決手段】 第1のビット線BL（例えば、BL2a）と接続される配線（例えばM2a）をビット線BLが形成される層と異なる第2の層に第2層配線M2として形成し、メモリセル形成領域2とセンスアンプ領域との間の接続領域2において接続する。また、第2のビット線BL（例えば、BL1c）と接続される配線（例えばM2c）をビット線BLが形成される層と異なる第2の層に第2層配線M2として形成し、メモリセル形成領域1とセンスアンプ領域との間の接続領域1において接続する。この結果、これらのビット線にそれぞれ接続される第2層配線M2のピッチを縮小することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所